

**METODOLOGÍA DE DISEÑO DE AMPLIFICADORES LINEALES DE POTENCIA
PARA MICROONDAS**

DAVID ELIECER SENIOR ELLES

**Proyecto de grado para optar al título de
Maestría en Ingeniería Electrónica**

**DEPARTAMENTO DE INGENIERÍAS ELÉCTRICA Y ELECTRÓNICA
UNIVERSIDAD DE LOS ANDES
BOGOTÁ, D.C.
AGOSTO DE 2005**

**METODOLOGÍA DE DISEÑO DE AMPLIFICADORES LINEALES DE POTENCIA
PARA MICROONDAS**

Aprobado por :

Nestor Peña Traslaviña

Asesor

Fecha de aprobación _____

AGRADECIMIENTOS

Trabajar por un año en esta tesis fue una experiencia agradable y memorable para mí. Este año que termina estuvo lleno de mucho conocimiento, investigación, alegrías y sorpresas. Quisiera agradecer a quienes estuvieron siempre apoyándome y asesorándome para que este trabajo de investigación culminara satisfactoriamente.

Primero que todo quiero agradecer a mi asesor, el profesor Nestor Peña Traslaviña, director del grupo de investigación en Electrónica y Sistemas de Telecomunicaciones GEST. El conocimiento y experiencias adquiridas por medio de sus clases, discusiones personales y al interior del grupo son invaluable. Agradezco por su apoyo constante e interés en el tema y por brindarme la posibilidad de recursos de hardware y software para trabajar.

Quiero agradecer a los demás miembros del grupo de investigación GEST, Omar Silva, Miguel Zurita, Andrea Gómez y Julián Herrera, quienes siempre estuvieron apoyando el proyecto. A Julián Herrera le agradezco compartir sus conocimientos de Ingeniería de Microondas, su apoyo fue importante para la fabricación y caracterización de los circuitos implementados.

Los amigos son parte importante en el desarrollo de un proyecto, por eso quisiera agradecer a Ricardo Arjona, Javier Burgos, Andrés Caballero, Sandra Cancino, Gonzalo Díaz, Natalia González, Julián Hernández, Ismael Meléndez, Oscar Rivera, Hernán Uribe y Yesid Yermanos, por su apoyo incondicional durante este año de investigación.

También quiero agradecer a dos personas muy especiales en mi vida, cuyo amor y comprensión durante todo este tiempo fueron muy importantes para no decaer emocionalmente, Katherine González Zamora y Hania Mendoza Díaz.

Agradezco también a mi familia, mi madre Lercy, mi padre Eliécer, mis hermanas Lercy y Aminta y todos mis demás familiares que siempre estuvieron pendiente de mi vida y me dieron una voz de aliento en los momentos difíciles.

Finalmente, a la Universidad Tecnológica de Bolívar, Institución que me formó como ingeniero y que ahora hago parte de ella como docente. Gracias por la oportunidad que me han dado de estudiar esta maestría, es un privilegio del cual pocos gozan.

TABLA DE CONTENIDO

INTRODUCCIÓN	10
1. AMPLIFICADORES DE POTENCIA	10
1.1.GENERALIDADES	10
1.2.CARACTERÍSTICAS	10
1.2.1. Compresión de ganancia	11
1.2.2. Linealidad	12
1.2.3. Eficiencia	14
1.3.AMPLIFICADORES CLASES A, B Y AB	15
2. ASPECTOS DE DISEÑO DE AMPLIFICADORES DE POTENCIA	17
2.1.MODELADO NO LINEAL DEL MESFET	17
2.1.1. Modelo de Curtice	19
2.1.2. Modelo de Materka	24
2.1.3. Modelo de Statz	27
2.1.4. Modelo TOM	29
2.1.5. Extracción de componentes parásitos e intrínsecos	30
2.2.TEORÍA DE DISEÑO “LOAD PULL”	37
2.3.MÉTODO DE BALANCE ARMÓNICO	42
3. METODOLOGÍA DE DISEÑO DE AMPLIFICADORES DE POTENCIA CLASES A, B Y AB	43
4. VALIDACIÓN DE LAS METODOLOGÍAS	51
4.1.HERRAMIENTA DE EXTRACCIÓN Y OPTIMIZACIÓN DEL MODELO NO LINEAL	51
4.2.VALIDACIÓN DE LA METODOLOGÍA DE DISEÑO	58
CONCLUSIONES	70
BIBLIOGRAFÍA	72

LISTA DE FIGURAS

Figura 1. Amplificador “single-ended”	10
Figura 2. Curva de potencia de salida.	11
Figura 3. Distorsión armónica.	12
Figura 4. IM2 e IM3.	13
Figura 5. Clases de operación.	16
Figura 6. Circuito equivalente de gran señal del MESFET	18
Figura 7. Variación de C_{gs} con V_{gs} .	22
Figura 8. Variación del voltaje de pinch-off.	23
Figura 9. Procedimiento de extracción de parámetros del modelo no lineal	24
Figura 10. Circuito equivalente en “pinched-off FET”	31
Figura 11. Circuito equivalente en pinched-off mejorado.	32
Figura 12. Medición de los parámetros S.	35
Figura 13. Extracción de inductancias.	35
Figura 14. Extracción de capacitancias.	36
Figura 15. Extracción de R_S y L_S .	36
Figura 16. Línea de carga del amplificador.	38
Figura 17. Contornos “Load Pull”.	39
Figura 18. Análisis de load pull.	40
Figura 19. Proceso de análisis "load pull	41
Figura 20. Método de balance armónico.	42
Figura 21. Vías a tierra.	43
Figura 22. Tee de polarización.	47
Figura 23. Red de acople típica.	48
Figura 24. Metodología de diseño.	50
Figura 25. Circuito de polarización del MESFET.	51
Figura 26. Curvas DC del transistor NE71300.	52
Figura 27. Variación del voltaje de “pinch-off”	53
Figura 28. Inductancias y resistencias parásitas	55

Figura 29. Capacitancias y tiempo de tránsito	56
Figura 30. Comparación de resultados de la extracción.	57
Figura 31. Vías a tierra implementadas	58
Figura 32. Modelo no lineal del NE6510379A	59
Figura 33. Caracterización “load pull” en Designer ^R .	60
Figura 34. Resultados del Análisis de “source pull”	61
Figura 35. Tee de polarización implementada.	62
Figura 36. Red de acople de entrada.	63
Figura 37. Curva de potencia obtenida.	64
Figura 38. “Layout” del amplificador diseñado.	64
Figura 39. Curva de ganancia del transductor	65
Figura 40. Eficiencia y distorsión.	65
Figura 41. Distorsión IM3	66
Figura 42. Amplificador incondicionalmente estable	67
Figura 43. Sistema propuesto para caracterización.	68
Figura 44. Resultados experimentales y simulados.	69
Figura 45. Caracterizaciones en el laboratorio.	69

LISTA DE TABLAS

Tabla 1. Resultados del modelado del NE71300	53
Tabla 2. Resultados del modelado del NE76118	54
Tabla 3. Resultados del modelado del CFY30	54
Tabla 4. Resultados de la extracción del modelo no lineal	56

INTRODUCCIÓN

El diseño de amplificadores con alta potencia de salida, eficiencia, ganancia y linealidad razonables, es uno de los aspectos claves en la implementación de sistemas de comunicaciones móviles. Hoy en día, el problema más importante en los equipos móviles es el tiempo de vida limitado de la batería, lo cual restringe el uso del equipo portátil; por esta razón, el uso de amplificadores de potencia con alta eficiencia es una solución al problema, ya que éstos son los módulos que más potencia consumen [1].

En las últimas décadas, los transistores de efecto de campo de arseniuro de galio, GaAs FETs o MESFETs, se han usado masivamente para aplicaciones de potencia, debido a que se desempeñan mejor que los transistores BJT y HBT [2]. Aunque los MESFETs requieren de altos voltajes de alimentación y generan costos de implementación elevados, estos problemas no han sido obstáculos para su uso ya que se compensan con el desempeño obtenido.

En los amplificadores de potencia los requerimientos básicos de ganancia, eficiencia y linealidad generan cierto grado de compromiso en el diseño, ya que no existe una topología óptima que permita obtener eficiencia, linealidad y ganancia altas, debido a fenómenos no lineales en el transistor [1]. Además, por sus características no lineales, el diseño de estos circuitos requiere el uso de modelos no lineales de los transistores, así como también de simuladores de RF y microondas con capacidad de utilizar técnicas no lineales de simulación [3,5,6]. Adicionalmente, debido a las altas frecuencias de operación en microondas, es necesario considerar los aspectos del comportamiento electromagnético de las estructuras pasivas, por lo cual, la capacidad de simulación electromagnética planar es necesaria para lograr estimar con precisión el desempeño del amplificador.

Este trabajo se enfocó en la comprensión del modelado no lineal del MESFET y las características, requerimientos y técnicas de diseño de amplificadores de potencia, con el fin de plantear un proceso de extracción del modelo no lineal del MESFET y aplicarlo al desarrollo de una metodología sistemática de diseño de amplificadores de potencia lineales de banda angosta basada en simulaciones no lineales con el software Ansoft Designer^R. El problema principal se centra en seleccionar adecuadamente las impedancias de carga y de fuente que aseguren la potencia de salida, eficiencia, ganancia y linealidad deseadas [4]. Del estudio realizado se seleccionó la teoría de variación de carga o “load pull” [3-4] para plantear la metodología de diseño.

El estudio de los fenómenos no lineales en MESFETs y del modelado no lineal permitió desarrollar una herramienta en Matlab^R de obtención y optimización de

parámetros del circuito equivalente de gran señal, con el fin de poder aplicarse a la metodología de diseño planteada. Adicionalmente, con el objetivo de utilizar eficientemente el software de simulación escogido, se analizaron las diversas técnicas de simulación de circuitos no lineales de microondas [3, 5, 6]; de dicho análisis se concluyó que el método de balance armónico es el más adecuado y utilizado para simulaciones no lineales [3].

Con el fin de validar el proceso de extracción del modelo no lineal usando *Matlab*[®], se obtuvo el modelo no lineal no optimizado de un Mesfet NE71300 de NEC[®] a partir de obtención de datos simulados en *Designer*[®], y se hicieron comparaciones de los datos obtenidos. También se extrajo el modelo de las características I-V para los Mesfets NE76118 de NEC[®] y CFY30 de Infineon[®] con el fin de evaluar el funcionamiento de los modelos estudiados.

Para validar la metodología de diseño de amplificadores de potencia planteada se diseñó, simuló e implementó en tecnología microcinta un amplificador clase AB "single ended" de 500mW para la banda de 1.85 a 1.95 GHz. Adicionalmente se desarrolló una cosimulación electromagnética de las estructuras pasivas y activas con el fin principal de predecir con gran certidumbre el desempeño del amplificador antes de implementarse. El amplificador se caracterizó en laboratorio con el fin de obtener los parámetros S y la ganancia de potencia.

1. AMPLIFICADORES DE POTENCIA

1.1. GENERALIDADES

Los amplificadores de potencia son los subsistemas que mas potencia consumen en los sistemas de radiofrecuencia, por lo cual el diseño de un amplificador de alta eficiencia y buena linealidad es vital para conservar la vida de la batería en aplicaciones de comunicaciones móviles. Sin embargo, alta eficiencia y buena linealidad son dos conceptos conflictivos que requieren de un cierto grado de compromiso.

Los amplificadores de potencia comúnmente se designan como clase A, AB, B, C, D y F [1]. Hay algunos arreglos de configuraciones de alta eficiencia como la Doherty [7] que usan combinaciones de las diferentes clases para lograr un incremento de la eficiencia del amplificador. Las distintas clases de operación difieren en la polarización, el método de amplificación, la eficiencia, la linealidad y la capacidad de potencia en la salida. Las topologías varían desde los amplificadores con terminación simple, "single-ended" (Fig. 1), hasta los acoplados con transformador y los balanceados.

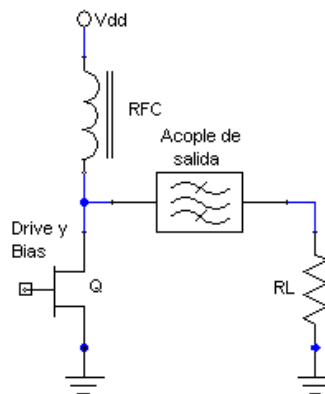


Figura 1. Amplificador single-ended. Incluye el acople de salida que sirve también como filtro de salida, la polarización a través de un choke RF (RFC) y el dispositivo activo. Tomado de [1].

1.2. CARACTERÍSTICAS

La caracterización de un amplificador de potencia se centra en determinar los factores o parámetros que definen su desempeño. Hay diversos fenómenos no lineales que causan que los parámetros S de un transistor que funciona a gran señal varíen con la señal de entrada, provocando por ende fenómenos de compresión de ganancia, saturación y distorsiones. Los factores más importantes

en el desempeño de un amplificador de potencia lo constituyen el punto de compresión ganancia de 1dB, la linealidad y la eficiencia.

1.2.1. Compresión de ganancia. Es uno de los parámetros más importante que miden el desempeño de un amplificador de potencia. A medida que la señal de entrada del amplificador se aproxima a la región de saturación, la ganancia comienza a decaer o comprimirse. En la Fig. 2 se ilustra una curva típica de potencia de salida con respecto a potencia de entrada. Se muestran las regiones para operación lineal, quasi-lineal y no lineal del amplificador.

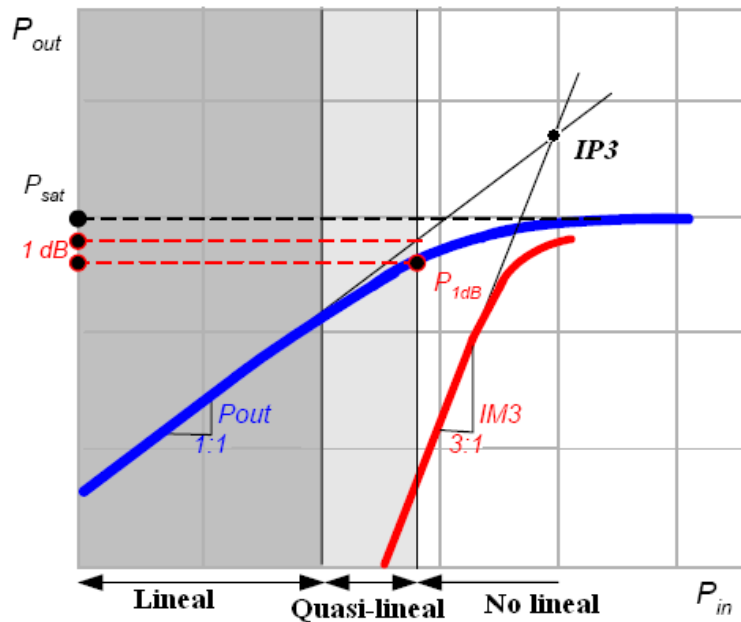


Figura 2. Curva de potencia de salida. Se ilustra el punto de compresión de 1dB de ganancia y el punto IP3 de intersección de las extensiones lineales de las curvas de potencia y de intermodulación de tercer orden. P_{sat} es la potencia de saturación. Tomado de [8]

A niveles bajos de señal, la salida es proporcional a la potencia de entrada. A medida que la potencia se incrementa hasta un cierto punto, la ganancia del transistor disminuye, y eventualmente la potencia de salida alcanza la saturación. El punto en el cual la ganancia del amplificador se diferencia de la ganancia lineal o de señal pequeña por 1dB se conoce como punto compresión de 1dB y se usa para caracterizar la capacidad de potencia de salida del amplificador, representando un límite práctico para operación lineal. La ganancia en el punto de 1dB es:

$$G_{1dB} = G_0 - 1dB \quad (1)$$

Donde G_0 es la ganancia de pequeña señal. La potencia de salida en el punto de 1dB es :

$$P_{\text{out, 1dB}} (\text{dBm}) = G_{\text{1dB}} (\text{dB}) + P_{\text{in, 1dB}} (\text{dBm}) \quad (2)$$

1.2.2. Linealidad. La necesidad de la linealidad en los amplificadores de potencia es crucial. Las señales que contienen modulaciones de amplitud y fase al tiempo, tales como la transmisión de televisión, las señales QAM, QPSK, CDMA y OFDM, requieren alta linealidad en la amplificación [1]. Como cualquier circuito no lineal, los amplificadores de potencia generan distorsiones armónicas que aparecen como pérdida de potencia en la frecuencia fundamental. El interés se centra en la relación de distorsión armónica DR y la distorsión por intermodulación IM.

La *relación de distorsión armónica, DR*, se define como la relación de las potencias de salida en las frecuencias armónicas con respecto a la salida de potencia de la frecuencia fundamental :

$$DR = \frac{P_{2f_1} + P_{3f_1} + P_{4f_1} + \dots + P_{nf_1}}{P_{f_1}} \quad (3)$$

En Fig. 3 se ilustra el concepto, en la cual se observan las diferencias en dBc (dB con respecto a la fundamental) entre los armónicos y la frecuencia fundamental. La literatura recomienda desarrollar diseños que mantengan la relación de distorsión por debajo de 0.05 [4].

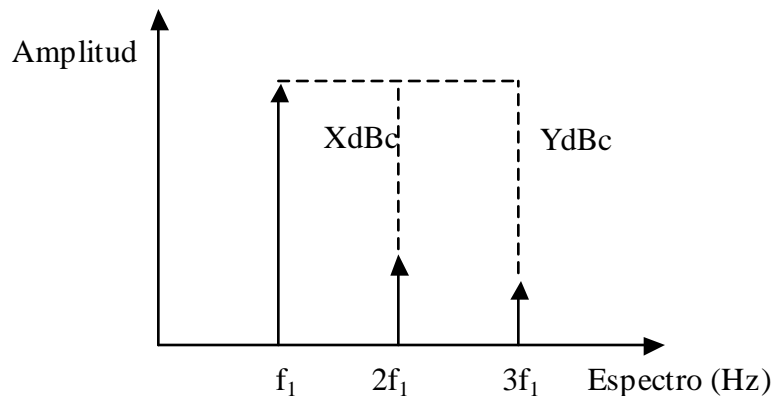


Figura 3. Distorsión armónica. Se puede especificar la diferencia entre los armónicos y la fundamental en dBc o utilizando (3).

Otro concepto importante para definir la linealidad es la *distorsión por intermodulación*. Ésta se define como la relación que existe entre las amplitudes de los productos generados por la intermodulación de la amplificación de dos tonos de amplitud igual separados muy estrechamente en frecuencia, a las amplitudes de los dos tonos fundamentales. El análisis de dos tonos constituye el

método tradicional para investigar los efectos no lineales en los amplificadores de potencia.

Usando una expresión en series de potencia [4], la salida de voltaje en función del voltaje de entrada en un amplificador es :

$$v_o = a_1 v_i + a_2 v_i^2 + a_3 v_i^3 + \dots + a_n v_i^n \quad (4)$$

Siendo v_o y v_i los voltajes de salida y de entrada respectivamente y los coeficientes a valores experimentales. Si la señal de entrada es de dos tonos con igual amplitud, separados en frecuencia un valor mucho menor que la frecuencia de los tonos fundamentales, la expresión es la siguiente:

$$v_i(t) = v \cos(w_1 t) + v \cos(w_2 t) \quad (5)$$

Si se aplica la ecuación 4, el voltaje de salida se expresa como:

$$v_o(t) = a_1 v [\cos(w_1 t) + \cos(w_2 t)] + a_2 v^2 [\cos(w_1 t) + \cos(w_2 t)]^2 + a_3 v^3 [\cos(w_1 t) + \cos(w_2 t)]^3 + \dots + a_n v^n [\cos(w_1 t) + \cos(w_2 t)]^n \quad (6)$$

Cada sumando en (6) representa un grado de distorsión, que a su vez genera un número específico de productos de intermodulación. Las distorsiones de mayor interés son la IM2 o distorsión de intermodulación de segundo orden, y la IM3 o distorsión de intermodulación de tercer orden, mostradas en Fig. 4.

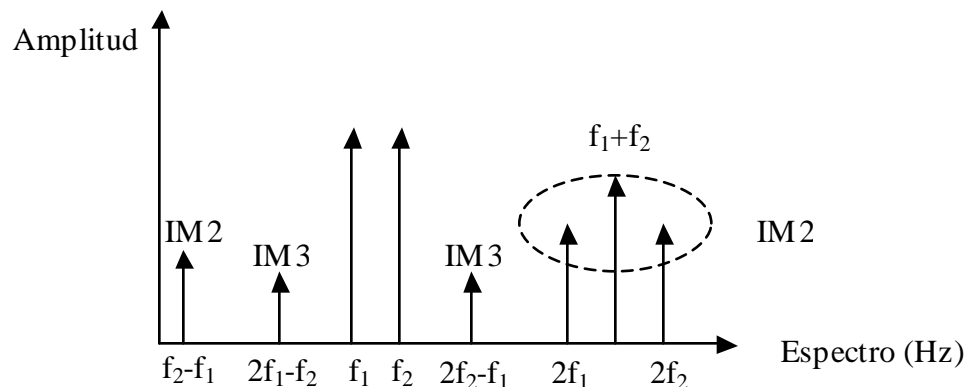


Figura 4. IM2 e IM3. Las distorsiones de intermodulación son debidas exclusivamente a la amplificación de dos tonos. La literatura recomienda mantener supresión de la distorsión mayor a 15dBc. Tomado de [4]

La IM2 genera productos de distorsión en $f = 2w_1, 2w_2, w_1 \pm w_2$; la IM3 genera productos de distorsión en $f = 2w_2 - w_1$ y $2w_1 - w_2$. La supresión de distorsión de intermodulación de tercer orden se calcula con la siguiente expresión [4]:

$$S_{-IM3}(dB) = \frac{P_{F1} + P_{F2}}{P_{2F2-F1} + P_{2F1-F2}} \quad (7)$$

La IM3 en dB se calcula con la expresión :

$$IM3 = P_{out}(f_2)(dBm) - P_{out}(2f_2 - f_1)(dBm) \quad (8)$$

Si se extrapola linealmente la curva de potencia de salida, de pendiente 1:1, el punto de intersección con la curva de IM3, de pendiente 3:1, se conoce como *punto de intersección de tercer orden* o IP3. El punto IP3 es muy útil para calcular a diversos niveles de señal la distorsión IM3, así como el punto de compresión de 1dB dado por [4]:

$$P_{1dB} = IP3 - 9(dBm) \quad (9)$$

En Fig. 2, mostrada anteriormente, también se ilustran la curva de IM3 y el punto de intersección IP3.

1.2.3. Eficiencia. La eficiencia es otro factor crítico en el diseño de amplificadores de potencia. Existen comúnmente tres definiciones de eficiencia: Eficiencia de drenaje, eficiencia de potencia agregada y eficiencia total [1].

La *eficiencia de drenaje* se define como la relación de la potencia de salida RF a la potencia de entrada DC :

$$\eta = \frac{P_O}{P_{IN,DC}} \quad (10)$$

La *eficiencia de potencia agregada* es más comúnmente usada y se define como la relación entre la diferencia de las potencias de salida y de entrada RF a la potencia DC:

$$PAE = \frac{P_O - P_{IN}}{P_{IN,DC}} \quad (11)$$

Es un indicador del desempeño del amplificador de potencia cuando la ganancia es alta, pero puede tornarse negativa para bajas ganancias.

La *eficiencia total* se define como la relación de la potencia de salida RF a la diferencia entre la potencia de entrada RF y la potencia DC :

$$EFF = \frac{P_o}{P_{IN} - P_{IN,DC}} \quad (12)$$

La eficiencia instantánea se da para un nivel de potencia de salida especificado. En los amplificadores de potencia la eficiencia instantánea es más alta en la potencia de salida máxima y decrece a medida que el nivel de salida disminuye.

1.3. AMPLIFICADORES CLASE A, B Y AB

Los transistores de potencia presentan varios grados de no linealidad dependiendo de la clase de operación, por lo cual el contenido armónico varía de acuerdo con la polarización del dispositivo mientras se mantiene constante la entrada de RF. La clase de amplificación se determina con base en la porción de la señal de RF de entrada para la cual hay corriente en la salida. Se discutirán tres clases básicas de amplificadores : Clase A, B y AB [1].

En los amplificadores *clase A* el transistor se polariza de tal forma que esté en la región activa todo el tiempo y actúe como una fuente de corriente controlada por la señal de entrada y la polarización, lo cual se logra ubicando el punto de polarización Q en la mitad de la característica de transferencia (Fig. 5). La corriente de drenaje fluye durante los 360° de la señal de entrada, resultando voltajes y corrientes de drenaje sinusoidales que producen amplificación lineal. La potencia de salida es :

$$P_{out} = \frac{V_o^2}{2R} \quad (13)$$

Donde V_o , que es el voltaje de salida en la carga R , no puede exceder el voltaje de la fuente V_{cc} . La potencia de entrada DC es constante, por lo cual la eficiencia instantánea es proporcional a la potencia de salida con un valor máximo de 50%, principal desventaja. A pesar de su eficiencia baja, los amplificadores clase A ofrecen alta linealidad, alta ganancia y operación cercana a la máxima frecuencia del transistor. La eficiencia de drenaje está relacionada con el ángulo de conducción por la siguiente ecuación [4] :

$$\eta = \frac{1}{4} \frac{\theta - \text{sen}(\theta)}{\text{sen}\left(\frac{\theta}{2}\right) - \left(\frac{\theta}{2}\right) \cos\left(\frac{\theta}{2}\right)} \quad (14)$$

En (14) se observa que con valores pequeños de ángulo de conducción, la eficiencia incrementa.

En los amplificadores *clase B* el voltaje de compuerta se ubica muy cercano al voltaje de apagado o de “*threshhold*”, de tal forma que la corriente DC de drenaje en estado estacionario sea cero. De esta forma el transistor está activo la mitad del ciclo de la señal de entrada, por lo cual el ángulo de conducción es de 180° y la señal de corriente en el drenaje es de media onda. La amplificación es lineal ya que la corriente de drenaje es proporcional a la señal de entrada. La eficiencia instantánea varía linealmente con la potencia de salida y alcanza el valor máximo ideal de 78.5% ($\pi/4$). La ventaja principal del amplificador *clase B* es que a valores bajos de señal es más eficiente que el *clase A*, sin embargo, es menos lineal debido al ángulo de conducción y la ganancia es menor.

Los amplificadores *clase AB* son un intermedio entre operación *clase A* y *clase B*. Al ubicar el punto de operación en un valor cercano al voltaje de apagado, pero mayor que en operación *clase B*, se logra que el ángulo de conducción del transistor sea mayor de 180° pero menor de 360° . De esta forma la linealidad y ganancia del amplificador es cercana a operación *clase A*, pero la eficiencia es cercana a la de operación *clase B*.

En Fig 5 se ilustra la ubicación del punto Q para las diferentes clases de operación [1], [3].

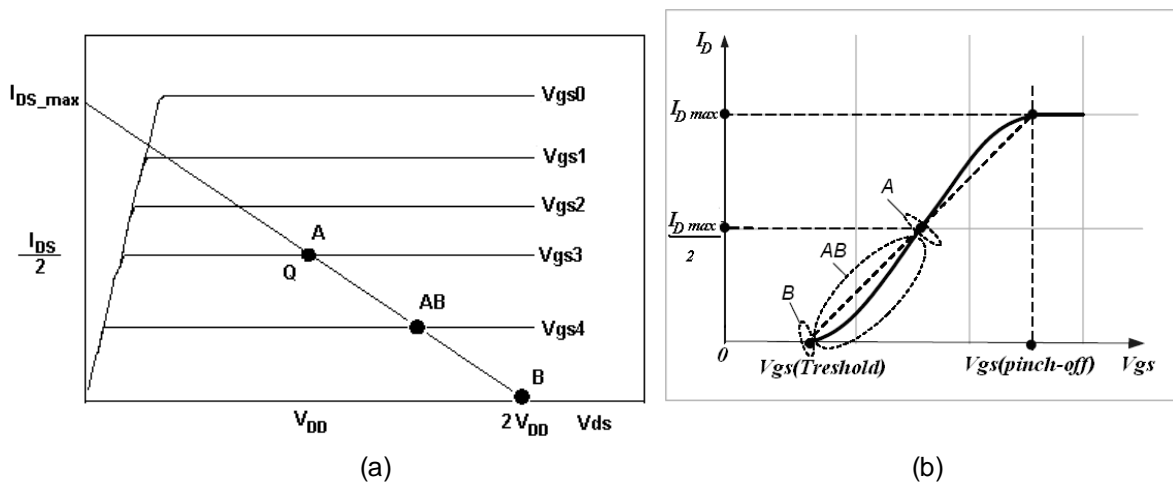


Figura 5. Clases de operación. (a) Ubicación del punto Q en la recta de carga. (b) Selección del voltaje de compuerta fuente para cada clase de operación.

2. ASPECTOS DE DISEÑO DE AMPLIFICADORES DE POTENCIA

2.1. MODELADO NO LINEAL DEL MESFET

El diseño de amplificadores de potencia se basa principalmente en el uso de circuitos equivalentes del dispositivo activo, ecuaciones que describen su comportamiento y técnicas semi-empíricas. El modelado no lineal preciso del dispositivo es de extrema importancia en el desarrollo de circuitos integrados monolíticos, así como de circuitos con componentes discretos. Si el comportamiento no lineal del dispositivo es descrito con precisión, se puede aproximar con certidumbre el desempeño final del circuito.

Se han desarrollado variedad de modelos analíticos y empíricos que describen el comportamiento de los MESFET's, sin embargo, no hay un modelo que sea aplicable a toda la gama de dispositivos existentes. El problema principal es que los modelos deben reproducir exactamente las propiedades físicas del dispositivo, algo muy difícil de lograr con los FETS de GaAs debido a su extrema complejidad interna. Por tal razón, los modelos no pueden describir su comportamiento sobre todas las condiciones posibles. El modelo de dos dimensiones o modelo interno [9-11] del MESFET es el que describe con mayor precisión la física del dispositivo, sin embargo, aún en la actualidad, este modelo no es adecuado para simulaciones.

La característica corriente voltaje de un MESFET depende no solo de los voltajes de polarización, sino de las derivadas de estos en el tiempo [12]. Las siguientes expresiones se plantean para las corrientes I_{ds} e I_g :

$$I_D = F1 \left(V_{ds}, V_{gs}, \frac{dV_{ds}}{dt}, \frac{dV_{gs}}{dt} \right) \quad (15)$$

$$I_G = F2 \left(V_{ds}, V_{gs}, \frac{dV_{ds}}{dt}, \frac{dV_{gs}}{dt} \right) \quad (16)$$

Sin embargo, los modelos analíticos basados en estas expresiones son demasiado complicados y requieren de muchas aproximaciones para lograr un modelo útil. Además, para simulaciones multitransistores, los cálculos se vuelven engorrosos. Por tal razón, estos modelos basados en física no se han implementado, aún en la actualidad, en los simuladores comerciales.

El circuito equivalente de gran señal del MESFET, mostrado en Fig. 6, se divide en circuito intrínseco y circuito extrínseco. El circuito intrínseco consiste de una fuente de corriente controlada por voltaje I_{ds} que representa la corriente de drenaje a fuente; tres capacitancias interelectrodos, C_{gs} debida debe a la región de deplexión entre la compuerta y la fuente, C_{gd} que representa la capacitancia entre compuerta y drenaje y C_{ds} que representa la capacitancia del substrato entre el drenaje y la fuente; los diodos de sujeción (clamping) entre puerta y fuente, D_f , y entre puerta y drenaje, D_r , representan las corrientes de esas dos junturas I_{gs} e I_{gd} ; Las resistencias R_d , R_s y R_g representan las resistencias parásitas de los contactos. En el circuito, los condensadores y la fuente de corriente son no lineales. La resistencia R_{gs} representa el proceso de carga de C_{gs} , que juntos modelan el efecto de carga y descarga del canal cuando se somete a voltajes sinusoidales o AC. Esta carga y descarga se produce porque el voltaje de la compuerta varía de valores positivos a negativos, incrementando y disminuyendo la polarización inversa a la cual está sometida, lo cual genera donación de electrones cuando se incrementa y recombinación de electrones cuando se disminuye. En el circuito de señal grande el voltaje V_{ds} es fijo, pero se le impone una señal AC, por lo tanto se presenta el mismo efecto de carga de drenaje a fuente que genera dispersión en las curvas I-V y se representa con la resistencia R_{dsd} y la capacitancia C_{dsd} .

El circuito extrínseco consta de las resistencias e inductancias parásitas de los contactos, R_D , R_S , R_G , L_D , L_S y L_G ; y dos capacitancias parásitas entre contactos C_{pd} y C_{pg} .

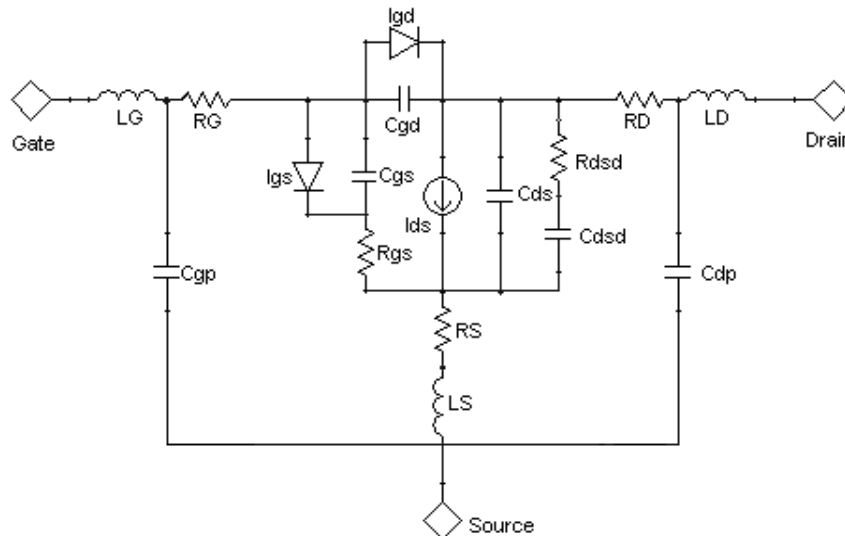


Figura 6. Circuito equivalente de gran señal del MESFET. Los componentes extrínsecos son debidos al empaque del transistor. Los componentes intrínsecos los genera la estructura física interna y su funcionamiento. Tomado de [13]

De todos los modelos empíricos que se han desarrollado, cuatro son los más utilizados por los simuladores comerciales : Curtice Cuadratic [14] , Materka [15], Statz o Raytheon [16] y TOM [17]. Aunque se han desarrollado modelos más precisos [18-20], éstos presentan expresiones con parámetros sin sentido físico y mucho más complejas de implementar que los modelos anteriormente citados. Todo buen modelo debe tener las siguientes propiedades para poder simular con precisión las características de un MESFET [14] :

- a. *Aproximación precisa de las características I-V* : La relación entre la corriente de drenaje y el voltaje de drenaje a fuente aplicado generalmente se conoce a partir de mediciones experimentales o a través de cálculos detallados usando las ecuaciones basadas en la física del dispositivo. Los modelos del MESFET usan expresiones analíticas para aproximar esta relación. Los parámetros de las expresiones analíticas se determinan a partir de mediciones DC y se usan estos valores como punto inicial en un proceso de minimización del error entre los datos medidos y los datos calculados.
- b. *Consideración de los efectos de tiempo de tránsito* : Durante operación transitoria, los cambios en el voltaje de la compuerta no producen cambios instantáneos en la corriente de drenaje. Para que la corriente en el canal cambie, el ancho de la zona de depleción bajo la compuerta debe cambiar, cambio que ocurre a una velocidad máxima igual a la velocidad de saturación, 1×10^7 cm/s. Debido a este fenómeno, se genera un retardo entre el cambio del voltaje V_{gs} y la corriente I_{ds} llamado tiempo de tránsito o τ .
- c. *Evaluación precisa de las capacitancias C_{gd} y C_{gs}* : Las capacitancias internas entre compuerta-fuente y drenaje-fuente del transistor se deben a la región de depleción bajo la compuerta. Estas capacitancias se modelan como diodos Schottky con voltaje variable con la capacitancia.
- d. *Evaluación de los componentes parásitos del circuito* : A medida que un transistor se hace más pequeño, los componentes parásitos tienen más influencia en sus características. Por tal razón, el modelo debe tener en cuenta los efectos de estos elementos parásitos.

Basándose en estas propiedades, se analizarán los cuatro modelos no lineales objeto de este estudio.

2.1.1. Modelo de Curtice. Este fue el primer modelo que se usó en simuladores comerciales. Curtice analizó los modelos existentes de FETs y llegó a la conclusión de que algunos eran demasiado complicados para implementarse en simuladores y otros simplemente no se podían aplicar a dispositivos de arseniuro de galio, pues habían sido desarrollados para dispositivos de silicio. Se describen a continuación las ecuaciones y características del modelo.

- Características voltaje-corriente. Curtice se basó en el modelado de los JFETs [15] cuya ecuación básica para las característica I-V es la siguiente :

$$I_{ds} = I_p \left[1 + \frac{V_{gs} + V_{bi}}{V_p} \right]^N \quad (17)$$

Donde I_p es la corriente pico o corriente de saturación, V_p es el voltaje de “pinch-off” o voltaje al cual se cierra el canal y V_{bi} es el potencial de barrera, para los JFETs, correspondiente al de una juntura PN. Los resultados experimentales han encontrado que el parámetro de potencia N varía entre 2y 2.25 dependiendo de la distribución de carga que se asume, siendo la ley cuadrática la que mejor se ajusta a las características de los dispositivos reales.

Cuando se usa (17) para el modelado del MESFET se generan errores considerables con respecto a los datos empíricos. La razón es que fue desarrollada para dispositivos de silicio, en los cuales la movilidad de los electrones es menor [14]. En el MESFET, al ser mayor la movilidad de los electrones, la corriente de saturación se da a valores más pequeños de V_{ds} , por lo tanto el fenómeno de saturación es más fuerte. Otra razón es que la conductancia de salida del MESFET es mayor que la del JFET, lo cual se refleja en la pendiente positiva mas pronunciada de las características I-V en saturación [14]. Lo anterior, crea la necesidad de un modelo que represente con precisión las características de esta clase de FETs.

Teniendo en cuenta las características de ley cuadrática presentada en JFETs, y que experimentalmente se notaron en los MESFET, y usando la función tangente hiperbólica planteada por Van Tuyl y Liechti [21], Curtice planteó la siguiente ecuación que describe las características V-I de los MESFETs:

$$I_{ds} = \beta (V_{gs} - V_{TO})^2 (1 + \lambda V_{ds}) \tanh(\alpha V_{ds}) \quad (18)$$

Donde α y λ son constantes empíricas, V_{TO} es el voltaje de “treshold” o de estrangulamiento $V_{TO} = V_{po} + V_{Bl}$. V_{po} es el voltaje ideal de “pinch-off” que se da si $V_{Bl} = 0$; V_{Bl} es el voltaje “built-in” o potencial de barrera de la juntura Schottky de un MESFET.

El parámetro β es la transconductancia del dispositivo, calculada como :

$$\beta = \frac{I_p}{V_{po}^2} \quad (19)$$

Donde I_P representa la corriente pico o de saturación. V_{po} se puede calcular si se conocen las características estructurales y de fabricación del transistor con la expresión:

$$V_{po} = \frac{qN_o a^2}{2\varepsilon} \quad (20)$$

Donde q es la carga del electrón, N_o es la concentración de dopado en cm^{-3} , a es el espesor de la zona de depleción y ε es la constante dieléctrica del arseniuro de galio [2].

El parámetro α representa el cambio de la zona de no saturación a la zona de saturación. El parámetro λ representa la conductancia de salida, conocido el parámetro como modulación del canal. La conductancia de salida tiene efecto en el comportamiento no constante de la corriente en saturación.

Los simuladores comerciales de hoy en día modifican el modelo de Curtice para incluir la variación del voltaje de “pinch-off” con el voltaje V_{ds} , observada por varios autores en trabajos posteriores. Esta variación se modela con la siguiente expresión :

$$V_T = V_{TO} + \gamma V_{ds} \quad (21)$$

Donde V_T es el voltaje efectivo de “pinch-off”. El parámetro γ representa la variación del voltaje de pinch-off, su valor es negativo. Con esta nueva expresión, la ecuación del modelo se modifica a la siguiente :

$$I_{ds} = \beta \left(V_{gs} - (V_{TO} + \gamma V_{ds}) \right)^2 (1 + \lambda V_{ds}) \tanh(\alpha V_{ds}) \quad (22)$$

- Efectos de tiempo de tránsito. Los efectos de tiempo de tránsito se tienen en cuenta en las simulaciones dinámicas. Debido al retardo existente entre el cambio de V_{gs} y el cambio de I_{ds} , la corriente de drenaje tiene la siguiente expresión general [14]:

$$I_{ds} = f(V_{gs}(t), V_{ds}) \quad (23)$$

Incluyendo el tiempo de tránsito τ , se modifica a :

$$I_{ds} = f(V_{gs}(t - \tau), V_{ds}) \quad (24)$$

En el modelado de las curvas I-V el tiempo de tránsito no es importante, pero en el modelado AC en pequeña y gran señal, tiene importancia debido a las características transitorias de las señales de entrada.

- Capacitancias. Para voltajes de compuerta-fuente negativos y pequeños valores de voltaje V_{ds} , cada diodo en el circuito equivalente está polarizado inversamente y las capacitancias C_{gd} y C_{gs} son iguales. A medida que el voltaje V_{ds} se incrementa, el lado del drenaje sufre mayor depleción y la capacitancia C_{gd} es menor que C_{gs} . Con valores de voltaje V_{ds} más allá del valor en el que se alcanza la saturación, la capacitancia C_{gd} se hace cada vez menor hasta llegar a casi cero. Lo anterior muestra claramente que la capacitancia C_{gs} es significativa y domina la impedancia de salida del MESFET. Por tal razón, Curtice modela la capacitancia C_{gs} variable con la polarización, mientras que la capacitancia C_{gd} la modela constante. Basándose en mediciones experimentales y ajuste de curvas, propone la siguiente expresión para la capacitancia C_{gs} :

$$C_{gs} = \frac{C_{gs0}}{\sqrt{1 - \frac{V_{gs}}{V_{bi}}}} \quad (25)$$

Donde C_{gs0} es la capacitancia obtenida cuando V_{gs} es igual a cero. La curva de variación de capacitancia con el voltaje aplicado se muestra en la figura 7. La expresión 25 se deriva de un modelo para dispositivos de dos terminales [21], pero da buenos resultados cuando se aplica a los MESFETs debido a que la capacitancia de compuerta a fuente depende muy poco del voltaje de drenaje una vez la saturación se ha alcanzado.

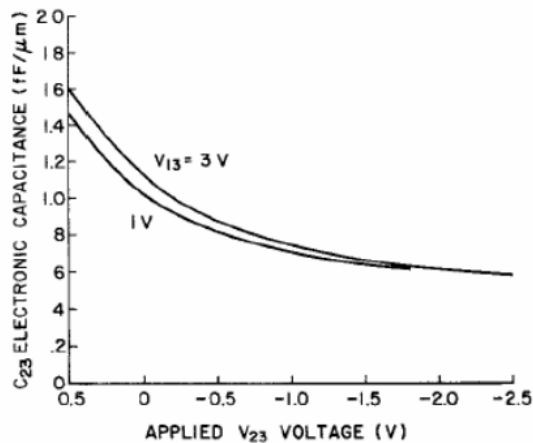


Figura 7. Variación de C_{gs} con V_{gs} . La capacitancia C_{ds} se modela constante. Tomado de [21]

- Resistencias parásitas. En el modelado de las características transferenciales las resistencias parásitas deben ser tenidas en cuenta, ya que éstas generan caídas de voltaje significativas dentro del transistor que modifican los valores de V_{gs} y V_{ds} , generándose las siguientes expresiones :

$$V_{dsi} = V_{ds} - I_{ds}(R_s + R_d) \quad (26)$$

$$V_{gsi} = V_{gs} - I_{ds} R_s \quad (27)$$

Donde el subíndice i indica la caída de voltaje en el transistor intrínseco. Estas ecuaciones deben incluirse en la ecuación que describe el modelo.

Una vez estudiadas las características y ecuaciones básicas, se plantea a continuación el procedimiento de extracción de parámetros del modelo basada en mediciones:

- De las curvas características se estima el parámetro β usando (19) cuando el voltaje $V_{gs} = 0$ y se está en la región de saturación. La corriente I_p se selecciona como el mayor valor obtenido de la corriente de drenaje y $V_{po} = V_{TO}$ se selecciona como el menor valor posible de V_{po} obtenido al graficar la curva $\sqrt{I_{ds}} \text{ vs } V_{gs}$ con V_{ds} variable (Fig. 8).

El parámetro γ de cambio del voltaje de "pinch-off" se extrae de la misma gráfica como :

$$\gamma = \frac{V_p - V_{po}}{V_{ds}} \quad (28)$$

Donde V_{po} es el valor de voltaje más pequeño obtenido en la gráfica y $V_p = V_T$ es cualquier otro valor de los graficados. El parámetro γ se extrae para cada V_p obtenido y luego se promedia para usarlo como valor inicial en la optimización.

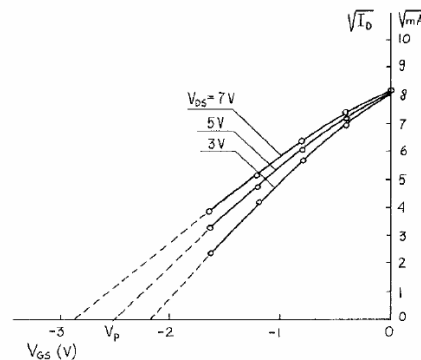


Figura 8. Variación del voltaje de pinch-off. De esta gráfica se extraen los parámetros γ y V_{po} . Tomado de [15].

- El parámetro α se estima cuando se hace la transición de la región de no saturación a la región de saturación, para las curvas de I_{ds} vs V_{ds} . Se obtiene para cada curva y se promedia. Generalmente puede estar entre 2 y 3, pero puede dar valores mayores dependiendo del punto de cambio. Se recomienda calcularlo con la expresión $\alpha = 3/V_{dsc}$ [16], siendo V_{dsc} el voltaje V_{ds} al cual se hace el cambio de la región de no saturación a la de saturación (Fig. 9).
- El parámetro λ se estima como la pendiente de la curva I-V cuando se está en saturación. Se obtiene para cada curva V-I graficada y se promedia. En Fig. 9 se ilustra el procedimiento

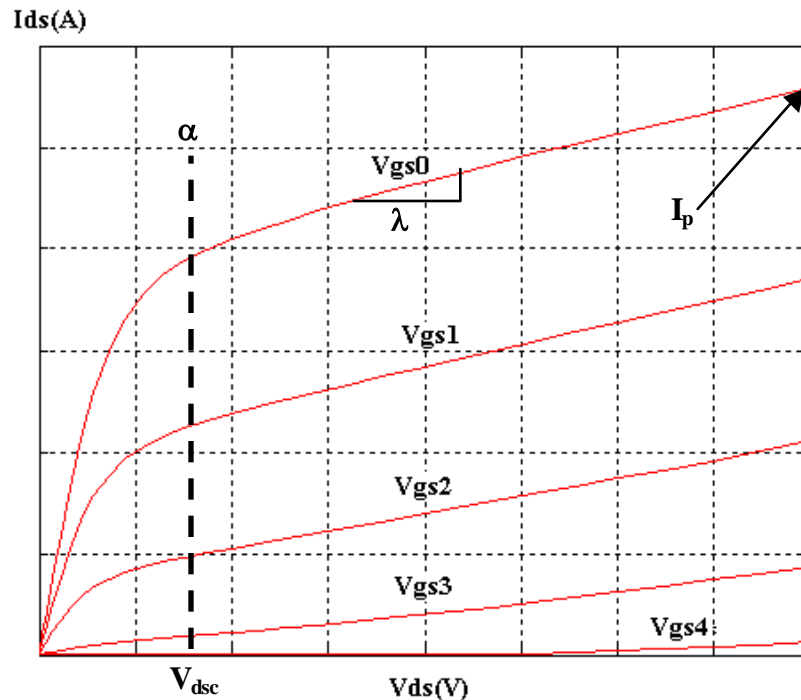


Figura 9. Procedimiento de extracción de parámetros del modelo no lineal. V_{dsc} representa el voltaje de drenaje-fuente en el cual se hace el cambio a la saturación. De la pendiente de las curvas se extrae el parámetro λ .

2.1.2. Modelo de Materka. Este modelo fue el primero en tener en cuenta que el voltaje de “pinch-off” de un MESFET varía con el voltaje V_{ds} aplicado, por lo tanto el voltaje de estrangulamiento o “treshold” también es dependiente de V_{ds} , mostrado en la ecuación 21. La variación de V_{po} no está muy clara, una explicación es la inyección de electrones en el sustrato semi-aislado, lo cual produce un incremento de corriente en el canal y por lo tanto el voltaje para cerrarlo es mayor dependiendo de V_{ds} [15]. La ecuación que define la variación de I_{ds} con V_{ds} en función de V_{gs} es la siguiente :

$$I_{ds} = I_{DSS} \left(1 - \frac{V_{gs}}{V_p} \right)^2 \tanh \left(\frac{\alpha V_{ds}}{V_{gs} - V_p} \right) \quad (29)$$

Donde I_{DSS} representa la corriente de saturación cuando $V_{gs} = 0$. El parámetro α tiene el mismo significado que en el modelo de Curtice, pero se extrae diferente debido al denominador en la función *tanh* [22]. La fórmula 29 la plantea Taki para el modelado de JFETs sin tener en cuenta la variación del voltaje de “pinch-off” .

La ampliación del modelo para simular amplificadores de gran señal mejor que los modelos anteriores se basa en el circuito de gran señal dinámico mostrado anteriormente en Fig. 6; esta modificación incluye los siguientes parámetros no lineales :

- La capacitancia de compuerta a fuente C_{gs} como los demás modelos existentes.
- La corriente I_{gs} en el diodo, representa la corriente en la juntura compuerta-fuente.
- La fuente de corriente I_{ds} controlada por los voltajes V_{gs} y V_{ds} .
- La corriente I_{gd} que representa el efecto de la ruptura compuerta-drenaje. Los parámetros del diodo no describen un fenómeno físico, pero se seleccionan para obtener el mejor ajuste de las características experimentales de ruptura. Los demás parámetros del modelo son lineales.

Esta ampliación del modelo se desarrolló con el fin de tener en cuenta las características dinámicas no lineales en la simulación de amplificadores de potencia y los efectos de voltaje de ruptura de compuerta-drenaje [23].

Las capacitancias C_{gs} y C_{gd} y los efectos de tiempo de tránsito se modelan igual que en el modelo de Curtice.

La corriente I_{gs} se da por la expresión :

$$I_{gs} = I_s \left[\exp(\alpha_s V_{gsi}) - 1 \right] \quad (30)$$

Donde I_s y α_s son los parámetros del modelo. V_{gsi} es el voltaje de compuerta a fuente intrínseco.

El efecto de ruptura compuerta-drenaje se modela con la corriente I_{gd} . La validez se dedujo del modelo de dos dimensiones [9] y de mediciones experimentales de la ruptura de varios transistores. La corriente del diodo I_{gd} está dada por la expresión :

$$I_{gd} = I_{sr} \left[\exp(\alpha_{sr} V_{dg}) - 1 \right] \quad (31)$$

Donde I_s y α_s son los parámetros del modelo. V_{dg} es el voltaje de drenaje a fuente. El diodo no representa alguna juntura PN o Schottky polarizada directamente, se usa para aproximar la corriente de ruptura. Para voltajes compuerta-drenaje bajos, por ejemplo hasta 5V en MESFETs de baja potencia, la corriente de compuerta calculada con la expresión 31 es pequeña y se puede despreciar. Caso contrario ocurre para voltajes grandes, como los presentados en los MESFETs de potencia.

La extracción de parámetros se hace similar a la del modelo de Curtice. La corriente de saturación I_{DSS} se obtiene como el valor más alto de la corriente cuando $V_{gs} = 0$. Se usan los procedimientos utilizados en el modelo de Curtice para extraer el voltaje V_{po} y el parámetro γ de variación del voltaje de “pinch-off”.

El parámetro α se obtiene al hacer $|V_{ds}| = |V_{po}|$ con $V_{gs} = 0$ de la siguiente ecuación :

$$\alpha = \tanh^{-1} \left[\frac{I_{DP}}{I_{DSS}} \right] \quad (33)$$

Donde I_{DP} es el valor de corriente obtenido en el punto especificado.

Estos valores se usan como puntos iniciales para el proceso de optimización planteado en el modelo de Curtice.

Los parámetros α_s e I_s del diodo D_f se obtienen graficando $\ln(I_g)$ vs V_{gs} con la unión compuerta-fuente polarizada en directa. Esto se debe a que la característica voltaje-corriente en esa juntura Schottky es :

$$V_{gsi} = I_g R + \frac{1}{\alpha_s} \ln \left(\frac{I_g}{I_s} \right) \quad (34)$$

Cuando $I_g R \ll \frac{1}{\alpha_s} \ln(I_g/I_s)$, que se cumple para bajos valores de corriente en directa I_g , solo se tiene en cuenta el segundo término de la expresión 34 :

$$V_{gsi} = \frac{1}{\alpha_s} \ln \left(\frac{I_g}{I_s} \right) \quad (35)$$

Entonces los parámetros del diodo se obtienen de la parte lineal de la gráfica usando un procedimiento de ajuste.

Los parámetros α_{sr} e I_{sr} del diodo D_r de la juntura compuerta-drenaje se hallan en condición de “pinch-off”, es decir, mediciones con valores de $V_{gs} < V_{po}$. Bajo esta condición, sin importar el voltaje V_{ds} aplicado, el MESFET se encuentra en “pinch-off”, es decir, el canal está cerrado y no pasa corriente. En esta situación, la corriente de ruptura de compuerta-drenaje incrementa exponencialmente con incrementos en el voltaje de drenaje-fuente, y la característica de ruptura no depende del voltaje V_{gs} . De la gráfica $\ln(i_r)$ vs V_{ds} se obtienen los parámetros con un procedimiento de ajuste.

2.1.3. Modelo de Statz (Raytheon). Este modelo desarrollado en 1987 plantea el uso de una fórmula de interpolación de la corriente de drenaje en función del voltaje V_{gs} para conectar la conducta cuadrática justo bajo “pinch-off” con la conducta lineal o de raíz cuadrada justo después de “pinch-off” para valores grandes de I_{ds} . La fórmula planteada es la siguiente :

$$I_{ds} = \frac{\beta(V_{gs} - V_{TO})^2}{1 + b(V_{gs} - V_{TO})} \quad (36)$$

El nuevo parámetro b , con unidades de V^{-1} , que incluye Statz es una medida del perfil de dopado del sustrato y depende del proceso de fabricación [16]. Esto torna el proceso de extracción más complicado, pues no hay un criterio específico para seleccionar el valor inicial del parámetro b .

La ecuación que describe las características DC es la siguiente :

$$I_{ds} = \frac{\beta(V_{gs} - V_{TO})^2}{1 + b(V_{gs} - V_{TO})} \tanh(\alpha V_{ds})(1 + \lambda V_{ds}) \quad (37)$$

Los parámetros β , α y λ se extraen igual que en el modelo de Curtice. El valor inicial del parámetro b varía hasta lograr la mejor optimización. Statz, en su trabajo, obtuvo diferentes valores de b dependiendo del perfil de dopado de los transistores utilizados. Para transistores que tienen un perfil de dopado gradual del canal, los valores de b son pequeños, menores que 1 como los que encontró Statz en su trabajo.

La deducción de las expresiones de las capacitancias C_{gs} y C_{gd} es complicada, se muestra en este trabajo las expresiones finales a las que llega Statz. El análisis completo de la deducción se puede encontrar en la referencia 16. Las expresiones son las siguientes:

$$C_{gs} = \frac{C_{gs0}}{\sqrt{1 - \frac{V_{new}}{V_{bi}}}} \frac{1}{2} \left\{ 1 + \frac{V_{eff1} - V_{TO}}{\sqrt{(V_{eff1} - V_{TO})^2 + \delta^2}} \right\} \times \frac{1}{2} \left\{ 1 + \frac{V_{gsi} - V_{gdi}}{\sqrt{(V_{gsi} - V_{gdi})^2 + \left(\frac{1}{\alpha}\right)^2}} \right\} + C_{gd0} \frac{1}{2} \left\{ 1 - \frac{V_{gsi} - V_{gdi}}{\sqrt{(V_{gsi} - V_{gdi})^2 + \left(\frac{1}{\alpha}\right)^2}} \right\} \quad (38)$$

$$C_{gd} = \frac{C_{gs0}}{\sqrt{1 - \frac{V_{new}}{V_{bi}}}} \frac{1}{2} \left\{ 1 + \frac{V_{eff1} - V_{TO}}{\sqrt{(V_{eff1} - V_{TO})^2 + \delta^2}} \right\} \times \frac{1}{2} \left\{ 1 - \frac{V_{gsi} - V_{gdi}}{\sqrt{(V_{gsi} - V_{gdi})^2 + \left(\frac{1}{\alpha}\right)^2}} \right\} + C_{gd0} \frac{1}{2} \left\{ 1 + \frac{V_{gsi} - V_{gdi}}{\sqrt{(V_{gsi} - V_{gdi})^2 + \left(\frac{1}{\alpha}\right)^2}} \right\} \quad (39)$$

Siendo :

$$V_{new} = \frac{1}{2} \left(V_{eff1} + V_{TO} + \sqrt{(V_{eff1} - V_{TO})^2 + \delta^2} \right) \quad (40)$$

$$V_{eff1} = \frac{1}{2} \left(V_{gsi} + V_{gdi} + \sqrt{(V_{gsi} - V_{gdi})^2 + \left(\frac{1}{\alpha}\right)^2} \right) \quad \text{si } V_{eff1} < V_{MAX} \quad (41)$$

$$V_{eff1} = V_{MAX} \quad \text{si } V_{eff1} > V_{MAX} \quad (42)$$

Siendo V_{MAX} un parámetro que define el valor máximo de V_{new} usado para evitar números imaginarios o división por cero en las expresiones de las capacitancias. Generalmente V_{MAX} debe ser menor que V_{bi} ; en los simuladores comerciales y en el trabajo de Statz se propone $V_{MAX} = 0.5 V$.

El parámetro V_{new} iguala a V_{eff1} antes de “pinchoff” y a V_{TO} después de “pinchoff”. Es decir, V_{new} se selecciona como el valor más pequeño entre los dos valores $-V_{TO}$ y $-V_{eff1}$. El parámetro δ representa el rango de voltaje sobre la cual se

cumple la transición entre estos dos valores. Muchos de los simuladores comerciales, basados en el trabajo de Statz, usan $\delta=0.2$.

Los efectos de tiempo de tránsito se modelan igual que en Materka y Curtice.

2.1.4. Modelo TOM. El modelo TOM [17] fue planteado en 1990. Su planteamiento parte del hecho de que los modelos anteriores, Statz y Curtice, modelan la conductancia del drenaje por medio del término $1+\lambda V_{ds}$. Este término puede representar la conductancia que se tiene un punto específico de polarización, pero no modela correctamente las variaciones con respecto a la polarización, por lo cual predice una conductancia que incrementa con valores cada vez mayores de I_{ds} , mientras que los resultados experimentales muestran que ésta disminuye.

Para corregir lo anterior este modelo plantea una modificación a la ecuación de Statz para modelar mejor las características V-I. La expresión es la siguiente :

$$I_{DS} = \frac{I_{DS0}}{1 + \delta V_{DS} I_{DS0}} \quad (43)$$

$$I_{DS0} = \beta (V_{GS} - V_T)^Q \tanh(\alpha V_{DS}) \quad (44)$$

$$V_T = V_{TO} + \gamma V_{DS} \quad (45)$$

El parámetro Q se usa para modelar dispositivos que no cumplen con ley cuadrática, tales como MESFETs con voltaje de “pinch-off” positivo o muy pequeño.

El parámetro δ se usa para modelar un efecto de realimentación del valor de la corriente, el cual hace que decrezca a altos valores de voltaje, este parámetro es diferente del usado para el modelado de los diodos en el modelo de gran señal de Materka. De esta forma se modela mejor la pendiente de la corriente en saturación, resultando en valores más pequeños que los que generan los otros modelos. La inclusión de este nuevo parámetro presenta el mismo problema que el parámetro b en Statz, es decir, no existe un criterio para seleccionar el valor inicial, sino que se selecciona el que mejor ajuste las características V-I.

Los parámetros β y α son los mismos del modelo de Curtice y el parámetro γ es el mismo del modelo de Materka.

2.1.5. Extracción de componentes parásitos e intrínsecos. Se planteará una metodología de extracción de parámetros de gran señal, basada en una modificación de los métodos de extracción de parámetros para pequeña señal planteados por diferentes autores. La mayoría de los autores usan una versión simplificada del modelo equivalente, en el cual la capacitancia de “trapping” C_{dsd} y su resistencia de carga R_{dsd} entre compuerta y drenaje se desprecia por ser mucho más pequeña que las otras capacitancias intrínsecas. Se han planteado diversos métodos para extraer los elementos del circuito equivalente de señal pequeña [24-29] que dependen del modelo usado y del método de caracterización.

La extracción de los elementos se hace en dos pasos : a). extracción de los elementos parásitos, y b). extracción de los elementos intrínsecos del transistor. La extracción de los elementos parásitos se hace bajo dos condiciones especiales [24] : MESFET en “Cold Forward FET” y MESFET en “Pinched-off FET “.

La primera condición, “Cold Forward FET”, se obtiene cuando el voltaje V_{gs} es mayor que el voltaje de barrera del diodo Schottky (aprox. 0.9 V) y $V_{ds} = 0$ V, es decir, la compuerta está polarizada en directa y el FET está apagado (no pasa corriente por el canal). Bajo esta condición, los parámetros Z intrínsecos del transistor se expresan como [24]:

$$z_{11} = R_c / 3 + \frac{nkT}{qI_g} \quad (46)$$

$$z_{12} = z_{21} = R_c / 2 \quad (47)$$

$$z_{22} = R_c \quad (48)$$

Donde R_c es la resistencia del canal bajo la compuerta, n es el factor de idealidad, k es la constante de Boltzman, I_g es la corriente del gate y T es la temperatura absoluta.

Los parámetros Z extrínsecos se pueden hallar agregando los componentes parásitos a los parámetros intrínsecos hallados anteriormente :

$$Z_{11} = R_s + R_g + \frac{R_c}{3} + \frac{nkT}{qI_s} + j\omega(L_s + L_g) \quad (49)$$

$$Z_{12} = Z_{21} = R_s + R_c / 2 + j\omega L_s \quad (50)$$

$$Z_{22} = R_s + R_d + R_c + j\omega(L_s + L_d) \quad (51)$$

Estas expresiones muestran claramente que la parte imaginaria de los parámetros Z incrementa linealmente con la frecuencia, mientras que la parte real es, en teoría, constante.

Para extraer las inductancias se miden los parámetros S bajo condición de “Cold-Forward” y en un rango de frecuencias dado (hasta 5GHz). De la parte imaginaria se pueden obtener las inductancias parásitas :

$$L_s = \frac{\text{Im}(Z_{12})}{\omega} \quad (52)$$

$$L_g = \frac{\text{Im}(Z_{11})}{\omega} - L_s \quad (53)$$

$$L_d = \frac{\text{Im}(Z_{22})}{\omega} + L_s \quad (54)$$

La obtención de las resistencias parásitas si se siguen estas ecuaciones no es tan sencilla, pues se tienen tres relaciones y cuatro incógnitas. Para este trabajo se usó un método propuesto por Lim, Kim y Nan [30] que se explicará más adelante.

La segunda condición, “Pinched-off FET”, se obtiene cuando el voltaje V_{gs} es menor que el voltaje de “pinch-off” con $V_{ds} = 0$. Es decir, $V_{gs} < V_{po}$ o $|V_{gs}| > |V_{po}|$. Bajo esta condición, la conductividad del canal se desprecia, pues en condición de “pinch-off” no pasa corriente. También, por estar el canal cerrado, la capacitancia intrínseca bajo la compuerta se cancela. Eliminando los componentes que no influyen en esta condición, el circuito equivalente se reduce al de la figura 10. La capacitancia C_b representa la capacitancia de borde o “fringing”, que se da debido a que la región de deplexión se extiende en cada lado de la compuerta. En esta condición se pueden extraer las capacitancias parásitas si se grafican los parámetros Y, después de eliminar las inductancias extraídas de los parámetros S medidos.

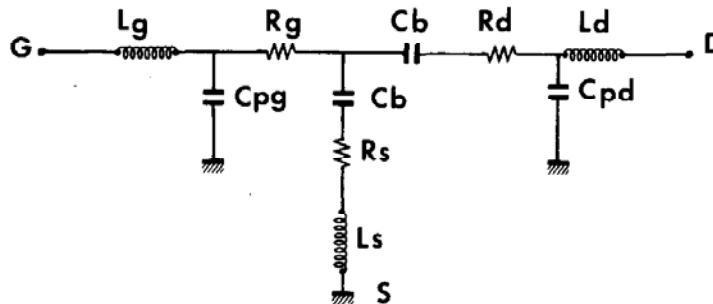


Figura 10. Circuito equivalente en “pinched-off FET”. Se hacen mediciones hasta 5GHz. Los resultados pueden aplicarse hasta 10GHz. Tomado de [24]

Las ecuaciones propuestas son las siguientes :

$$\text{Im}(Y_{11}) = j\omega(C_{pg} + 2C_b) \quad (55)$$

$$\text{Im}(Y_{12}) = \text{Im}(Y_{21}) = -j\omega C_b \quad (56)$$

$$\text{Im}(Y_{22}) = j\omega(C_b + C_{pd}) \quad (57)$$

Para la extracción de las capacitancias se seleccionó un método propuesto por Ooi y Ma en la referencia [31]. Estos dos autores estudiaron los métodos propuestos por Dambrine [24] y White [32] y concluyeron que las capacitancias extraídas estaban sobreestimadas y eran drásticamente variables con la polarización. En el método propuesto plantean un nuevo circuito equivalente para condición pinched-off que genera capacitancias constantes con la polarización usada para la extracción(Fig. 11).

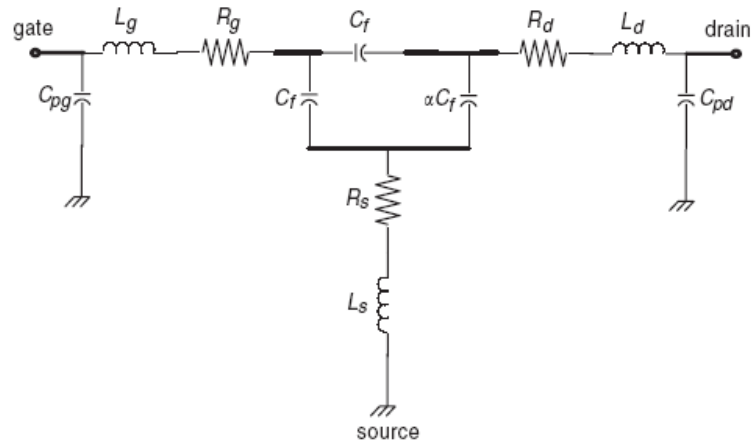


Figura 11. Circuito equivalente en pinched-off mejorado. Se hacen dos mediciones de parámetros para dos polarizaciones diferentes. Tomado de [31]

El método propuesto por Ooi utiliza dos conjuntos de mediciones en condición pinched-off para dos polarizaciones diferentes : $V_{ds} = 0, V_{gs1} < V_{po}$ y $V_{ds} = 0, V_{gs2} < V_{po}$. Las capacitancias se extraen de la siguiente forma :

- Los parámetros S medidos se convierten a Z.
- De los parámetros Z obtenidos se extraen las inductancias parásitas porque están en serie, quedando la siguiente matriz :

$$\begin{bmatrix} Z_{11} - j\omega L_g & Z_{12} \\ Z_{21} & Z_{22} - j\omega L_d \end{bmatrix}$$

- Los parámetros Z obtenidos se transforman a Y, con los cuales se pueden extraer las capacitancias parásitas usando las siguientes ecuaciones:

$$C_{pg} = \frac{\text{Im}(Y_{11}) + 2 \text{Im}(Y_{12})}{\omega} \quad (58)$$

$$C_{pd} = \frac{\text{Im}(Y_{22}) + (1 + \alpha) \text{Im}(Y_{12})}{w} \quad (59)$$

Donde α es :

$$\alpha = \frac{\text{Im}(YA_{22}) - \text{Im}(YB_{22})}{\text{Im}(YB_{12}) - \text{Im}(YA_{12})} - 1 \quad (60)$$

Siendo YA y YB las matrices de parámetros Y obtenidas para las dos condiciones de pinch-off dadas. El parámetro α es un multiplicador con el cual se obtiene un mejor control en la extracción de la capacitancia C_{pd} .

Una vez extraídas las capacitancias, si se puede abordar el proceso de extracción de resistencia. Se selecciona el método propuesto en la referencia 30 por presentar mejores resultados con respecto a otros métodos propuestos por diferentes autores [33-34]. Los pasos para extraer las resistencias son los siguientes :

- a). Los parámetros S medidos en condición de “forward cold FET” se convierten a Z y se eliminan las inductancias parásitas tal como se hizo en la extracción de los condensadores.
- c). Los parámetros Z obtenidos se transforman a Y para eliminar las capacitancias parásitas quedando la siguiente matriz :

$$Y' = \begin{bmatrix} Y_{11} - jwC_{pg} & Y_{12} \\ Y_{21} & Y_{22} - jwC_{pd} \end{bmatrix}$$

- d). Los parámetros Y' resultantes se convierten a parámetros Z, resultando la matriz Z''. Se mostrarán las expresiones finales a las que se llega en el trabajo de Lim. Las expresiones para las resistencias son las siguientes :

$$\Delta R_{ds} = \text{Re}(Z_{22}) - 2 \text{Re}(Z_{12}) \quad (61)$$

$$\begin{bmatrix} B_{\text{int}11} \\ B_{\text{int}12} \end{bmatrix} = \frac{1}{D} \begin{bmatrix} -\text{Im}(Z_{22}'') \\ \text{Im}(Z_{12}'') \end{bmatrix} \quad (62)$$

Donde D es el determinante de la matriz Z''.

- a). Si $\Delta R_{ds} > 0 \Rightarrow R_d > R_s \Rightarrow R_d = R_s + \Delta R_{ds}$ y :

$$R_s = \frac{[\text{Re}(Z_{12}'')B_{\text{int},11} + \{\text{Re}(Z_{22}'') - \Delta R_{ds}\}B_{\text{int},12}]}{B_{\text{int},11} + 2B_{\text{int},12}} \quad (63)$$

b). Si $\Delta R_{ds} < 0 \Rightarrow R_d < R_s \Rightarrow R_d = R_s + \Delta R_{ds}$ o $R_s = R_d + |\Delta R_{ds}|$ y:

$$R_s = \frac{[\{\text{Re}(Z_{12}'') - \Delta R_{ds}\}B_{\text{int},11} + \{\text{Re}(Z_{22}'') - \Delta R_{ds}\}B_{\text{int},12}]}{B_{\text{int},11} + 2B_{\text{int},12}} \quad (64)$$

c). R_g :

$$R_g = \frac{[\{\text{Re}(Z_{11}'') - R_s\}B_{\text{int},11} + \{\text{Re}(Z_{21}'') - R_s\}B_{\text{int},12}]}{B_{\text{int},11}} \quad (65)$$

Una vez se extraen los parámetros extrínsecos, es posible extraer los parámetros intrínsecos del circuito equivalente, para lo cual se hace una medición de los parámetros S del transistor con V_{gs} igual a 0 y un valor de V_{ds} dado, es decir, para máxima corriente de drenaje. Esta extracción se desarrolla con base en el circuito equivalente de señal pequeña y se extienden los resultados al circuito de señal grande. En el circuito equivalente de señal pequeña la fuente de corriente I_{ds} se representa por la siguiente expresión:

$$I_{ds} = g_m \exp(-j\omega\tau) \quad (66)$$

Donde g_m representa la ganancia o transconductancia del MESFET. El parámetro τ representa el tiempo de tránsito, tiempo explicado anteriormente como el retardo en la respuesta de la corriente ante un cambio en el voltaje V_{gs} .

El dispositivo intrínseco se describe por los siguientes parámetros Y [35]:

$$y_{11} = \frac{R_{gs}C_{gs}^2\omega^2}{D} + j\omega\left(\frac{C_{gs}}{D} + C_{gd}\right) \quad (67)$$

$$y_{12} = -j\omega C_{gd} \quad (68)$$

$$y_{21} = \frac{g_m \exp(-j\omega\tau)}{1 + jR_{gs}C_{gs}\omega} - j\omega C_{gd} \quad (69)$$

$$y_{22} = g_d + j\omega(C_{ds} + C_{gd}) \quad (70)$$

$$D = 1 + \omega^2 C_{gs}^2 R_i^2 \quad (71)$$

Donde g_d representa la conductancia del canal en señal pequeña, parámetro que no se usa en gran señal. Separando las ecuaciones en sus partes imaginaria y real se obtienen expresiones para cada uno de los elementos intrínsecos.

El proceso para extraer los elementos intrínsecos se llama desensamblado. Este consiste en conversiones sucesivas de parámetros de dos puertos hasta obtener la matriz de parámetros Y del transistor intrínseco. Las siguientes conversiones se llevan a cabo :

a). Los parámetros S medidos se convierten a parámetros Z.

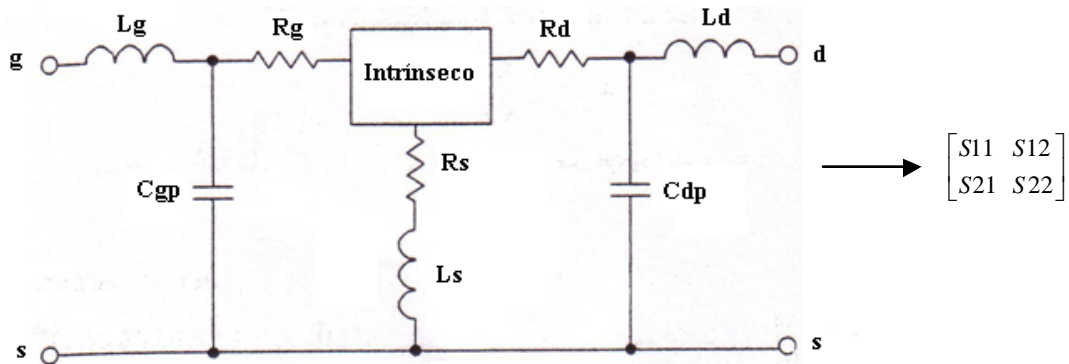


Figura 12. Medición de los parámetros S. Se selecciona el punto de operación $V_{gs} = 0$ y cualquier V_{ds} mayor que V_{sat} . Se obtienen los parámetros S en el rango de frecuencias deseado. Tomado de [13]

b). De los parámetros Z obtenidos se eliminan las inductancias parásitas obtenidas anteriormente bajo condición “Cold-Forward”.

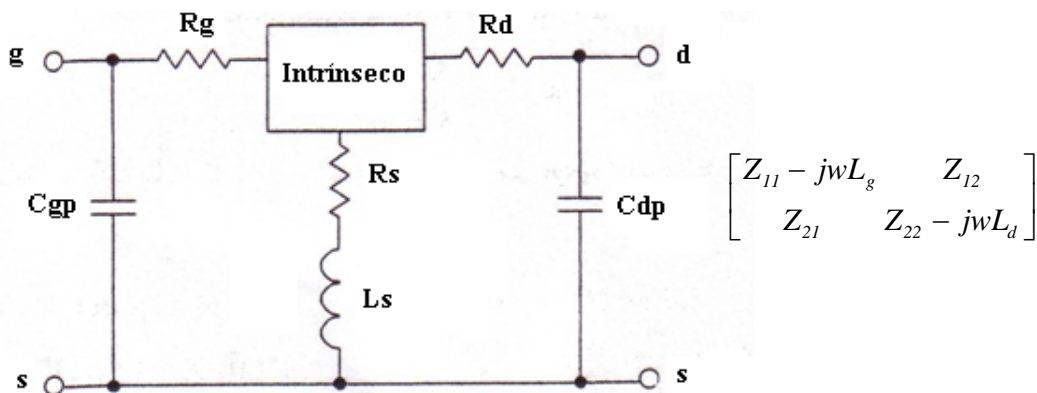


Figura 13. Extracción de inductancias. La conversión a matriz de impedancias permite extraer los componentes parásitos en serie.

c). Los parámetros Z obtenidos se transforman a Y, con los cuales se pueden eliminar las capacitancias parásitas obtenidas bajo condición “Pinched-off”.

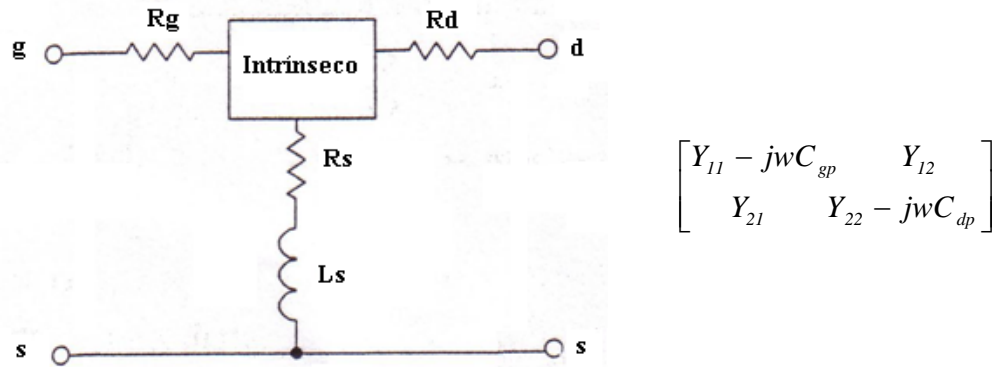


Figura 14. Extracción de capacitancias. La conversión a matriz de admitancias permite extraer los componentes en paralelo.

d). Una vez se eliminan las capacitancias parásitas, se convierten nuevamente a parámetros Z y se extraen los demás componentes parásitos, es decir, las resistencias y la inductancia L_s .

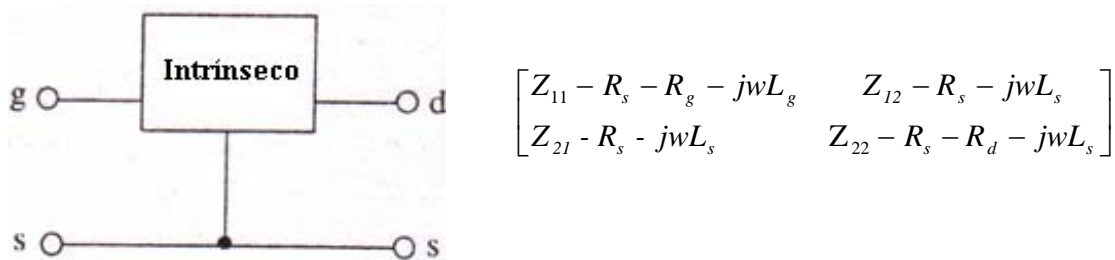


Figura 15. Extracción de R_s y L_s . Al final se extraen los componentes parásitos en serie restantes. La extracción permite desarrollar un proceso de optimización. Tomado de [13]

e). Por último, esta matriz de parámetros Z se convierte a parámetros Y, obteniendo la matriz de los parámetros intrínsecos.

Las expresiones para los parámetros intrínsecos se muestran a continuación [35]:

$$C_{gd} = -\frac{\text{Im}(Y_{12})}{\omega} \quad (72)$$

$$C_{gs} = -\frac{\text{Im}(Y_{11}) - \omega C_{gd}}{\omega} \left(1 + \frac{(\text{Re}(Y_{11}))^2}{(\text{Im}(Y_{11}) - \omega C_{gd})^2} \right) \quad (73)$$

$$R_{gs} = \frac{\text{Re}(Y_{11})}{(\text{Im}(Y_{11}) - \omega C_{gd})^2 + (\text{Re}(Y_{11}))^2} \quad (74)$$

$$C_{ds} = -\frac{Im(Y_{22}) - \omega C_{gd}}{\omega} \quad (75)$$

$$g_m = \sqrt{\left(Re(Y_{21})\right)^2 + \left(Im(Y_{21}) + \omega C_{gd}\right)^2} \left(1 + \omega^2 C_{gs}^2 R_{gs}^2\right) \quad (76)$$

$$\tau = \frac{1}{\omega} \operatorname{sen}^{-1} \left(\frac{-\omega C_{gd} - Im(Y_{21}) - \omega C_{gs} R_{gs} Re(Y_{21})}{g_m} \right) \quad (77)$$

$$g_d = -\frac{1}{Re(Y_{22})} \quad (78)$$

Una vez se tienen estos parámetros se puede usar el valor promedio de cada uno como valores iniciales para un proceso de minimización del error entre los parámetros S medidos y calculados. Los parámetros que interesan para el circuito de señal grande son C_{gd} , C_{gs} , C_{ds} , R_{gs} y el parámetro τ en el simulador.

El proceso de optimización consiste en minimizar la siguiente función objetivo:

$$F = \sum_{k=1}^N \sum_{i=1}^2 \sum_{j=1}^2 \left| 1 - (S_{ijck} / S_{ijmk}) \right|^2 \quad (79)$$

Donde S_{ijck} es el parámetro S_{ij} calculado en la frecuencia k -ésima a partir de las expresiones obtenidas previamente. S_{ijmk} son los parámetros S medidos en la k -ésima frecuencia.

2.2. TEORÍA DE DISEÑO “LOAD PULL”

Los amplificadores de señal grande se diseñan con redes de acople de salida que puedan facilitar la extracción de la máxima potencia del dispositivo en vez de lograr el acople conjugado que se usa en amplificadores de señal pequeña. La obtención de las impedancias de entrada y de salida óptimas para lograr la potencia y eficiencia de salida deseadas es el fin principal del diseño de amplificadores de potencia [3], [4]. El cálculo de la carga óptima R_{opt} puede iniciar usando la línea de carga del dispositivo, mostrada en Fig. 16, dada por :

$$R_{opt} = \frac{V_{DC} - V_{SAT}}{I_{DC}} \quad (80)$$

Donde V_{DC} e I_{DC} son el voltaje y la corriente de polarización respectivamente, y V_{SAT} es el voltaje de saturación o de codo. Si se usa esta R_{opt} calculada, la máxima potencia de salida y máxima eficiencia son :

$$P_{O_max} = \frac{(V_{DC} - V_{SAT})I_{DC}}{2} \quad (81)$$

$$n_{max} = \frac{P_{max}}{P_{DC}} = \frac{V_{DC} - V_{SAT}}{2V_{DC}} \quad (82)$$

Si el voltaje de saturación es cero, asumiendo un caso ideal, la eficiencia máxima será de 50%, por lo cual esta aproximación de la teoría de línea de carga es inicialmente para amplificadores clase A. Esta teoría no tiene en cuenta los componentes parásitos ni la conductancia de salida del transistor, los cuales pueden alterar la línea de carga. Sin embargo, esta teoría sirve como una primera aproximación a la estimación de la carga óptima. La teoría de "load pull" o variación de carga es una mejor forma de obtener un valor de carga que garantice los requerimientos, en un punto de operación y frecuencia dados.

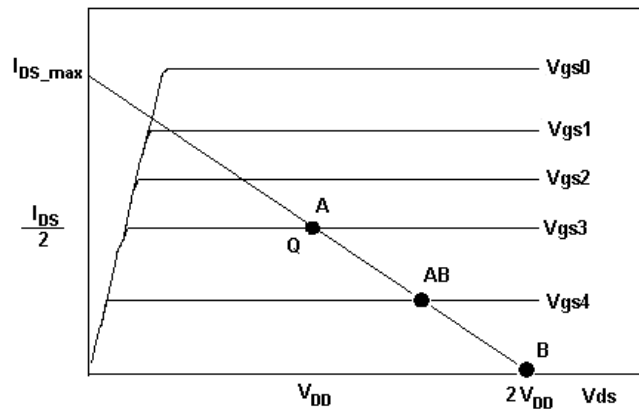


Figura 16. Línea de carga del amplificador. Se muestra el punto de polarización para cada clase de operación.

Las mediciones de "load pull" se basan en el hecho de que la impedancia de carga para máxima potencia genera excursiones en el voltaje y corriente de drenaje desde cero hasta valores cercanos al voltaje de ruptura y la corriente de saturación. Las impedancias de carga para las cuales se entrega una cantidad de potencia de salida específica, con un voltaje de drenaje máximo específico, forman líneas de resistencia en paralelo en la carta de Smith. De forma similar, las impedancias para una corriente máxima específica, forman líneas de resistencias en serie. La combinación de las líneas para corriente y voltaje generan contornos de potencia constante en la carga [1].

Los contornos obtenidos por el análisis de load pull tienen en cuenta los efectos de los elementos parásitos del transistor y los efectos de las componentes armónicas; por tal razón, generalmente tienen forma cercana a una elipse [3-4]. La figura 17 muestra ejemplos de contornos de potencia y de eficiencia de potencia agregada para un MESFET obtenidos en ANSOFT Designer^R.

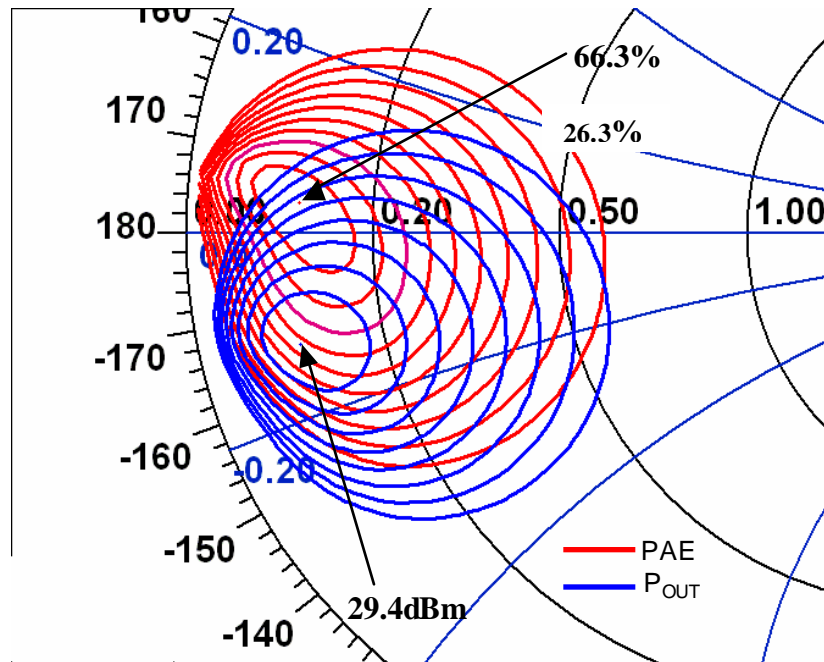


Figura 17. Contornos “Load Pull”. Mesfet NE6510179A. $P_{IN} = 20\text{dBm}$, $F = 1.9\text{GHz}$, $V_{dd} = 3.5\text{V}$, $I_d = 200\text{mA}$. $P_{OUT_max} = 29.4\text{dBm}$, $PAE_max = 66.3\%$

Los contornos de eficiencia de potencia agregada están separados en 4%, los de potencia de salida tienen separación de 0.5dB. Se observa que no necesariamente los contornos de potencia se alinean con los de eficiencia, lo cual indica que no siempre se entrega la máxima potencia con la máxima eficiencia. Estos contornos permiten seleccionar impedancias de carga que se adecuen a las necesidades del diseño, logrando un compromiso entre capacidad de potencia de salida, linealidad y eficiencia de potencia agregada.

Para obtener los contornos de potencia de salida se acopla conjugadamente la entrada del transistor, es decir, $\Gamma_S = S_{11}^*$, y se realiza la variación de la impedancia de carga. Una vez obtenidos los contornos de potencia de salida, se puede hacer el mismo procedimiento para obtener contornos en la fuente, es decir, “source pull”. La variación de carga en la entrada permite obtener impedancias de fuente que logren un mayor grado de estabilidad en el transistor o una mayor eficiencia. El diagrama de la figura 18 ilustra el procedimiento.

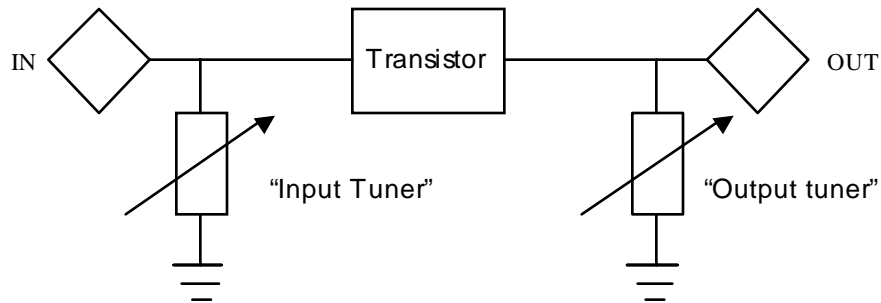


Figura 18. Análisis de load pull. Los variadores o “tuners” permiten obtener un buen rango de coeficientes de reflexión en la entrada y la salida.

Se utilizan variadores de impedancia (“tuners”) en la entrada y la salida con el fin de obtener los coeficientes de reflexión de carga y de fuente adecuados. El equipo necesario para realizar mediciones experimentales de “load pull” es costoso y complicado, por lo cual muchos simuladores comerciales, como Ansoft Designer[®], incorporan capacidades de análisis “load pull” basados en un modelo no lineal preciso del MESFET.

La figura 19 ilustra el proceso de obtención de los contornos de potencia y de eficiencia de potencia agregada. El proceso es dependiente de la polarización y de la frecuencia, lo cual genera que las impedancias óptimas obtenidas a una frecuencia y polarización dadas, puede que no sean iguales para otros puntos.

Si no es posible seleccionar impedancias que cumplan con las especificaciones de potencia y eficiencia, es necesario realizar modificaciones en la estabilidad del transistor para obtener mayor ganancia, bajar los requerimientos de potencia y eficiencia o incrementar el requerimiento de potencia de entrada.

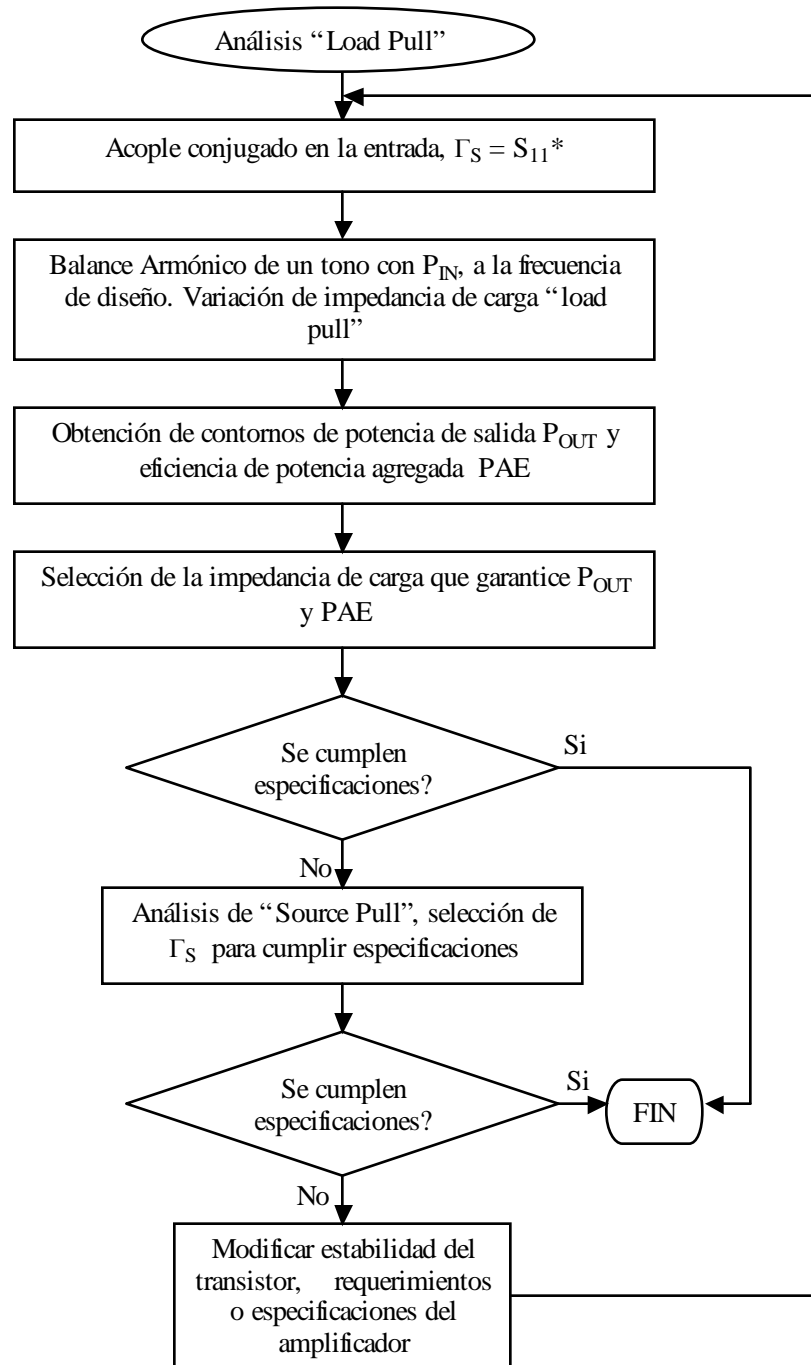


Figura 19. Proceso de análisis "load pull". El análisis de "source pull" permite mejorar eficiencia y ganancia.

2.3. ANALISIS NO LINEAL CON EL MÉTODO DE BALANCE ARMÓNICO

El método de balance armónico se ha convertido en la técnica de análisis no lineal más usada en el diseño de circuitos de microondas, debido a su rapidez y sencillez [3-6]. Este método asume que todas las formas de onda dentro del circuito son periódicas, o cuasi-periódicas. De esta forma se impone en la entrada y salida ondas que se representan por la siguiente ecuación :

$$v_J(t) = \text{Re} \sum_{k=0}^K V_J(k\omega_0) e^{jk\omega_0 t} \quad (83)$$

Donde J es el número del nodo bajo análisis y K representa el número de armónicos de la frecuencia fundamental ω_0 usados para el análisis.

El método descompone el circuito bajo análisis en un subcircuito lineal y otro no lineal, tal como se ilustra en la figura 20. El circuito lineal contiene las redes de acople y de polarización, los elementos parásitos del dispositivo, las fuentes y los componentes pasivos. El circuito no lineal contiene solo los elementos que dependen del voltaje o la corriente, tal como el circuito no lineal del transistor. Esta separación permite diferenciar bien cual parte será simulada en el dominio del tiempo, en este caso la no lineal, y en el dominio de la frecuencia.

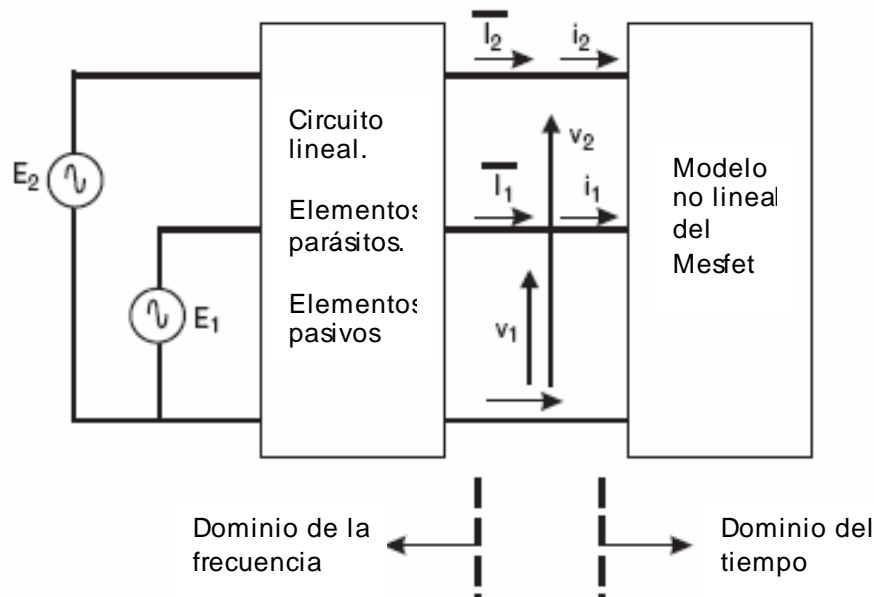


Figura 20. Método de balance armónico. Es un método híbrido tiempo-frecuencia que divide al circuito en dos partes: la lineal y la no lineal. Impone soluciones periódicas a un determinado número de armónicos. Tomado de [3].

La explicación del método completo se puede consultar en la referencia 3.

3. METODOLOGÍA DE DISEÑO DE AMPLIFICADORES DE POTENCIA CLASES A, B y AB

El diseño de amplificadores de potencia es un proceso iterativo, en el cual cada paso es importante, ya que con solo cambiar un parámetro, sea la polarización o el nivel de potencia de entrada, las impedancias óptimas resultantes cambian. El diseño involucra aspectos tales como la síntesis de las redes de acople, la selección del dispositivo, el diseño y optimización de las redes de polarización, los requerimientos de potencia, eficiencia, estabilidad y linealidad, las consideraciones de frecuencia para la simulación de las estructuras pasivas, etc. Si el nivel de potencia y ganancia deseado es muy grande, es recomendable diseñar amplificadores multietapas, aunque éstos generen el problema de diseñar la red de acople inter-etapas. La selección del transistor es muy importante, pues de éste depende que los requerimientos se cumplan a cabalidad.

En el proceso de diseño se deben tener en cuenta diversos aspectos para la implementación física. A continuación se detallan los aspectos que se deben tener en cuenta en el diseño de amplificadores de potencia apoyados en simulaciones con un software comercial.

- **Especificaciones del amplificador.** Antes de comenzar un diseño se deben especificar los parámetros relevantes del amplificador en cuanto a : Potencia de salida deseada en el punto de compresión de 1dB, nivel de potencia en la entrada, ganancia lineal del amplificador, eficiencia de potencia agregada, deseada en el punto de 1dB y el voltaje de la batería.
- **Selección del transistor.** La selección del transistor es crucial. Los fabricantes proporcionan información relevante a la potencia máxima que puede proporcionar con respecto a puntos de polarización recomendados. Se debe tener en cuenta la corriente máxima de drenaje I_p , el voltaje de ruptura V_{BR} , el cual debe ser mayor que el voltaje de la fuente V_{dd} ; la frecuencia de corte F_T y las curvas de potencia de salida y de eficiencia.

La expresión para la corriente pico es :

$$I_p = \frac{2P_{out,RF}}{V_{dd} - V_{sat}} \quad (84)$$

Donde V_{sat} es el voltaje de saturación del MESFET, el cual en los casos más conservadores puede ser asumido como 1V [3]. Esta corriente pico no debe exceder la máxima dada por el fabricante.

Para poder simular el desempeño del transistor es necesario obtener un modelo no lineal. Si el modelo es proporcionado por el fabricante, se puede incorporar en los simuladores; pero si no se tiene un modelo disponible, es necesario desarrollar mediciones DC y en frecuencia para obtener el modelo equivalente de gran señal [13]. Una vez seleccionado el transistor, se debe seleccionar el punto de operación con el cual se puede alcanzar la potencia de salida y ganancia deseadas.

- **Selección del dieléctrico para fabricación.** En la implementación de circuitos en microcinta se debe tener en cuenta que el dieléctrico seleccionado genera pérdidas debidas a las características del conductor utilizado (tangente de pérdidas) y a la radiación, las cuales tienen relación con la constante dieléctrica, el material, el espesor y la frecuencia [8]. En este trabajo se concluye que es recomendable seleccionar substratos con baja tangente de pérdidas (menor a 0.02), con espesor pequeño (30mil, por ejemplo) y con una constante dieléctrica que permita la síntesis de líneas de microcintas acordes con el proceso de fabricación en el rango de frecuencias de 1GHz a 10GHz.
- **Vías a tierra.** En las aplicaciones con microcintas las vías a tierra, que por lo general se usan para conexiones DC y RF al plano de tierra, juegan un papel muy importante en el desempeño del amplificador. Las vías a tierra presentan una inductancia que depende del diámetro de la vía y de las dimensiones del substrato utilizado para fabricación; si son mal modeladas, los efectos en el desempeño del amplificador son considerables. La ecuación que representa la inductancia de una vía de cobre es la siguiente [3]:

$$L = K \left[H \ln \left(\frac{H + \sqrt{H^2 + \left(\frac{d}{2}\right)^2}}{\frac{d}{2}} \right) + 1.5 \left(\frac{d}{2} - \sqrt{H^2 + \left(\frac{d}{2}\right)^2} \right) \right] \quad (85)$$

L expresada en nH; H es el espesor del dieléctrico del substrato; d es el diámetro del hueco de la vía y K es una constante igual a 0.2 para dimensiones en *mm*, y 0.00508 para dimensiones en *mil*. Generalmente la vía se acompaña por un pad de cobre, tal como se ilustra en la figura 21(a), que incrementa levemente la inductancia. Con el fin de disminuir la inductancia, se recomienda usar vías en paralelo como las de la figura 21(b), práctica que logra reducir en un 40% la inductancia efectiva [36].

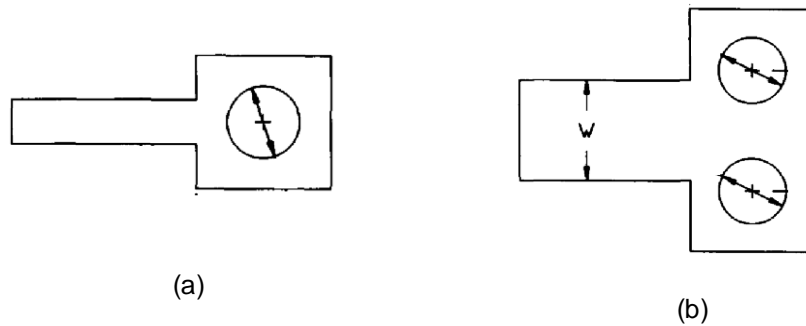


Figura 21. Vías a tierra. El pad de la vía en la figura (a) incrementa la inductancia. El arreglo de vías en paralelo de la figura (b) disminuye la inductancia efectiva. Tomado de [36].

- **Caracterización del transistor.** Una vez seleccionado el transistor, se debe ubicar el punto de operación con el cual se puede alcanzar la potencia de salida y ganancia deseadas. Con la caracterización se obtienen las curvas DC, así como la evaluación de los parámetros S y estabilidad para la frecuencia ancho de banda de diseño en un punto de polarización específico.

Un aspecto importante en el transistor es la estabilidad, la cual depende exclusivamente de los parámetros S del dispositivo. La estabilidad del amplificador se garantiza si se cumplen las siguientes expresiones [3]:

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + \Delta^2}{2|S_{21}||S_{12}|} > 1 \quad (86)$$

$$|S_{11}| < 1 \quad (87)$$

$$|S_{22}| < 1 \quad (88)$$

Donde k es el factor de estabilidad de Rollet y $\Delta = S_{11}S_{22} - S_{12}S_{21}$.

El significado físico de estas ecuaciones se basa en que el transistor, si se asume que está bajo acople conjugado, no debe conectarse a una resistencia negativa, ya que la red de acople no puede sintetizarse. La resistencia negativa inestabilizaría al transistor.

Si el transistor es potencialmente inestable se puede realizar el procedimiento de estabilización ya sea en la entrada o la salida a la frecuencia deseada [3]. La estabilización implica disminución de ganancia, por eso muchos diseñadores prefieren mantener potencialmente inestable el transistor. Es una

decisión que se debe tomar antes de iniciar el diseño, pues un amplificador inestable puede implicar el diseño de circuitos que siempre proporcionen impedancias de carga o de fuente que garanticen la estabilidad del transistor [37].

- **Análisis Load Pull.** El análisis de “load pull” se desarrolla con la entrada acoplada a la impedancia de entrada del transistor, es decir, $\Gamma_s = S_{11}^*$. Con este análisis se debe realizar un análisis de Balance Armónico, el cual consiste en alimentar al transistor con la potencia de entrada especificada, a la frecuencia de diseño y con un número de armónicos adecuado. Se recomienda realizar simulaciones de balance armónico con 3 a 5 armónicos de la frecuencia fundamental. Con el análisis de load pull se obtiene la impedancia de carga adecuada para proporcionar en la salida la potencia y eficiencia deseadas.

Las impedancias óptimas de carga y fuente varían con la frecuencia, la polarización y el nivel de la potencia de entrada. El análisis se aplica a un punto de operación y de frecuencia dados, sin embargo, análisis de sensibilidad demuestran que variaciones menores al 5% de los parámetros de operación producen variaciones cercanas al 5% de las impedancias óptimas, lo cual es aceptable en ingeniería.

- **Análisis de Source Pull.** Este paso es necesario si la impedancia de fuente que resulta del acople conjugado en la entrada es muy bajo o acerca al transistor a los límites de la estabilidad. Consiste en variar la impedancia en la fuente teniendo la salida acoplada a la impedancia de carga óptima. Los contornos de potencia de salida generados permiten seleccionar una impedancia de fuente que cumpla con las especificaciones dadas.
- **Síntesis de las redes de polarización.** Las redes de polarización son también muy importantes, ya que permiten controlar la corriente y los voltajes de polarización de compuerta y drenaje que satisfagan los requerimientos de salida. En aplicaciones de microcintas para frecuencias de microondas, generalmente se usan Tees de polarización. Las Tees se implementan con líneas de transmisión para proporcionar la alimentación DC al transistor [3] (Fig. 22). La TEE actúa como el choke RF, ya que aísla la señal RF de la señal DC. Para su implementación se utilizan líneas de transmisión de $\lambda/4$ a diferentes impedancias que generan cortos y abiertos alrededor de la frecuencia fundamental. Se recomienda usar una resistencia de bajo valor en la red de polarización de la compuerta con el fin de estabilizar de la red de polarización a bajas frecuencias [3]

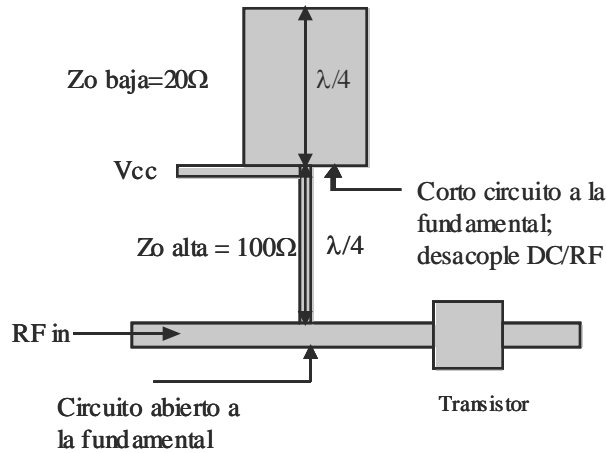


Figura 22. Tee de polarización. Esta configuración es de banda angosta, ya que utiliza líneas de $\lambda/4$ a la frecuencia central de diseño. Una resistencia de 10 o 20Ω entre la compuerta y la Tee estabiliza la red a bajas frecuencias. Tomado de [3].

Un stub abierto de $\lambda/4$, de baja impedancia, se usa para generar un corto a la frecuencia fundamental. Posteriormente, una línea de alta impedancia, de $\lambda/4$ convierte el corto en un circuito abierto, impidiendo el flujo de la señal RF. Los parámetros de importancia son los coeficientes de transmisión y de reflexión. Lo ideal es obtener un coeficiente de transmisión lo más cercano a la unidad y un coeficiente de reflexión casi cero.

- **Síntesis de las redes de acople.** Las redes de acople se diseñan para acoplar la impedancia de carga o fuente (50Ω en la mayoría de los diseños) a las impedancias óptimas en el transistor seleccionadas por las mediciones o simulaciones de “load pull” y “source pull”. La selección de la topología de la red (L, T, π , $\lambda/4$) depende de los requerimientos de ancho de banda y la posibilidad de utilización de Tees de polarización y condensadores de acople. En este estudio, realizado para amplificadores de banda angosta, las redes de acople pequeñas, tipo L, son las más adecuadas para cumplir con los requerimientos de ancho de banda pequeño.

Se recomienda diseñar las redes de acople con líneas de transmisión, ya que por las altas frecuencias manejadas en el rango de microondas el uso de condensadores y bobinas es restringido por su comportamiento. Por otra parte, la optimización de las redes de acople garantiza los coeficientes de reflexión en carga y fuente deseados; se usan como condiciones iniciales los valores de anchos y longitudes de líneas obtenidos por la síntesis. Este paso es necesario debido a que las pérdidas producidas por radiación y por el conductor generan diferencias en los coeficientes de reflexión obtenidos.

Para la síntesis de las redes de acople debe tenerse en cuenta las líneas de acceso a los puertos y seleccionarse adecuadamente el condensador de

desacople DC que se utilizará, con el fin de que éste tenga una frecuencia de auto-resonancia igual o muy cercana a la frecuencia de operación del diseño. Algunos fabricantes proporcionan el circuito equivalente en alta frecuencia del condensador.

Una vez sintetizada la red de acople se debe realizar un proceso de optimización en el que se varíe uno o varios parámetros de la red, como la longitud de las líneas o stubs, para compensar las pérdidas que se producen y obtener la impedancia de salida o de entrada que se desea. La figura 23 ilustra una red de acople de entrada típica, en la cual para la optimización se han tenido en cuenta las pérdidas generadas por la Tee de polarización.

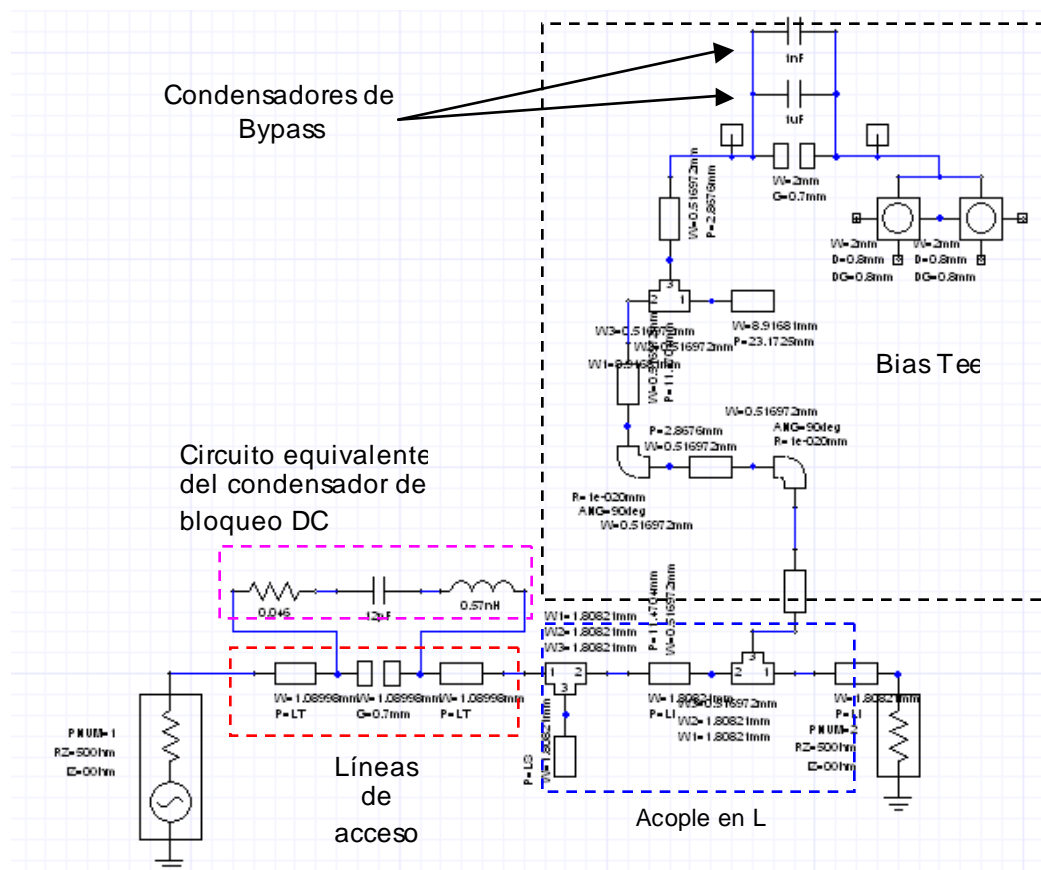


Figura 23. Red de acople típica. Para la optimización de la red de acople se tienen en cuenta los efectos de las líneas de acceso a puertos, el condensador de bloqueo DC y la Tee de polarización.

Se observan las líneas de acceso a los puertos, compuestas por dos líneas separadas por un gap para el condensador de bloqueo. Se observa el circuito equivalente del condensador de desacople DC utilizado y la TEE de polarización. En el diseño físico deben tenerse en cuenta las discontinuidades del circuito, tales

como los gaps y uniones de líneas, de tal forma que su comportamiento electromagnético sea modelado.

- **Caracterización del amplificador completo.** La caracterización del amplificador inicia con un análisis en frecuencia para obtener los parámetros S, con los cuales se puede evaluar la estabilidad y las pérdidas de retorno. Posteriormente, se realiza un análisis de balance armónico a la frecuencia central de operación con una variación de potencia de entrada desde 0dBm hasta un nivel en el que se alcance la saturación, con el fin de observar las curvas de potencia de salida a la frecuencia fundamental y las frecuencias armónicas, obtener la relación de distorsión armónica DR y las curvas de eficiencia de potencia agregada y de ganancia del transductor con respecto a las potencias de entrada y de salida. Con un análisis de balance armónico de dos tonos se obtienen las distorsiones por intermodulación de segundo y tercer orden y se evalúa el punto de intersección IP3 [4].

Si la eficiencia y ganancia obtenidas no son las deseadas, debido a pérdidas en líneas de transmisión, puede realizarse una optimización global de las redes de acople del amplificador.

- **Análisis de sensibilidad y cosimulación EM.** Para observar la sensibilidad de los parámetros de desempeño del transistor ante variaciones de los componentes, se recomienda realizar un análisis de sensibilidad. Este consiste en variar uno o más parámetros, como ancho o longitud de líneas y voltajes de polarización, para observar las modificaciones en ganancia del transductor G_T , eficiencia de potencia agregada PAE y el punto de compresión $P_{out,1dB}$.

La cosimulación electromagnética es importante para estimar con precisión el comportamiento y desempeño reales, y se realiza una vez se tiene el "layout" del amplificador. Consiste en simular planarmente las estructuras pasivas de microcinta y circuitalmente los demás componentes como transistores, condensadores y resistencias. Esta simulación, a diferencia de la circuital, tiene en cuenta acoples electromagnéticos entre líneas de transmisión, por lo cual los resultados pueden variar ligeramente de los obtenidos circuitalmente. La simulación electromagnética es necesaria debido a que las líneas de transmisión que trabajan en frecuencias de microondas tienen interacciones electromagnéticas que pueden afectar la respuesta deseada, por lo cual se necesita utilizar el modelo electromagnético de las líneas, en vez del circuital.

El último paso es la implementación y caracterización en laboratorio. Estos pasos son iterativos, si se cambia cualquier parámetro en uno de ellos, el desempeño final del amplificador puede variar.

Con base en los anteriores aspectos, se plantea la metodología de diseño para amplificadores clase A, AB y B de tipo "single ended" de banda angosta. La figura 24 ilustra el proceso de diseño.

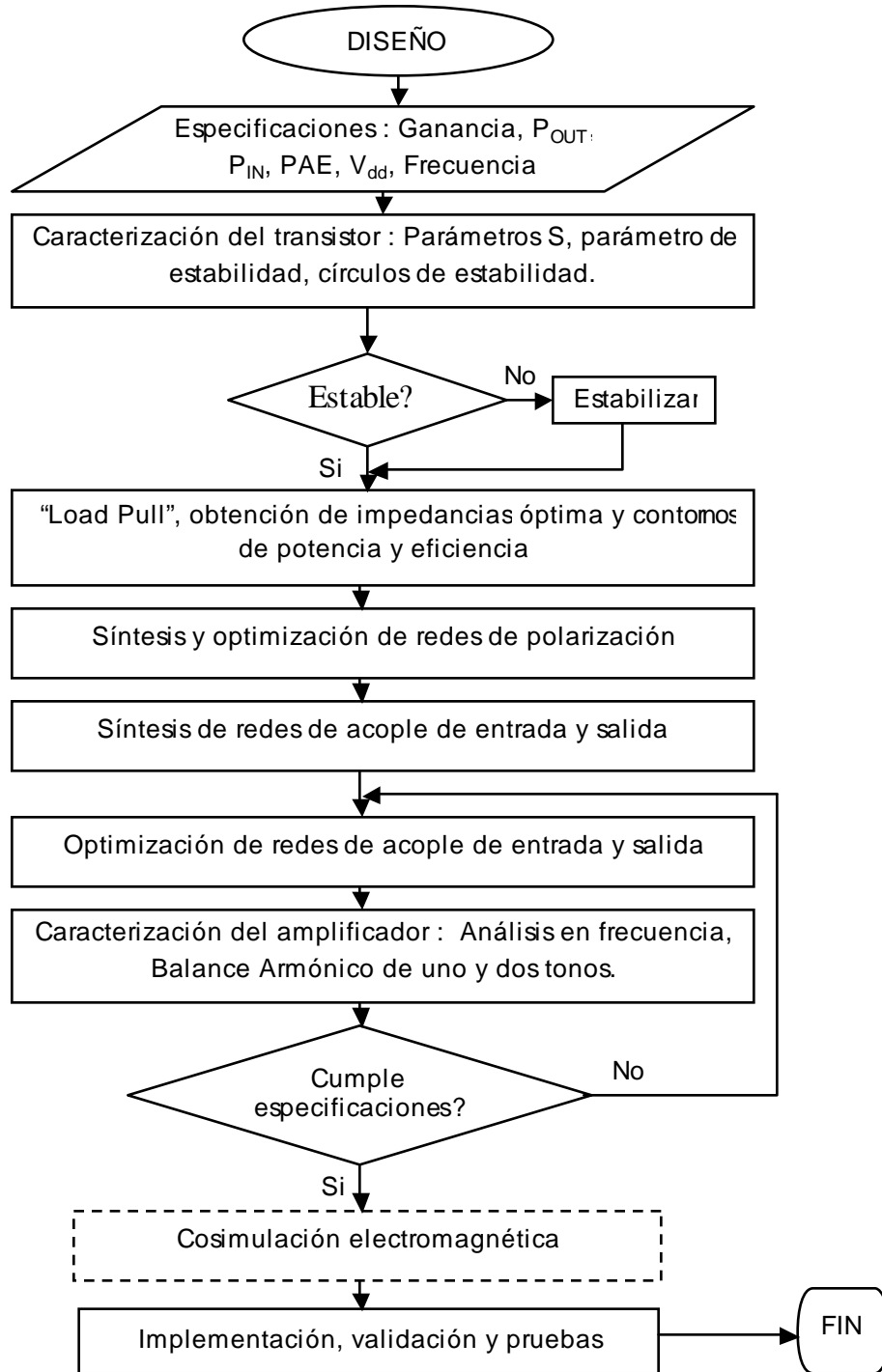


Figura 24. Metodología de diseño. La cosimulación modela electromagnéticamente las estructuras pasivas.

4. VALIDACIÓN DE LAS METODOLOGÍAS

4.1. HERRAMIENTA DE EXTRACCIÓN Y OPTIMIZACIÓN EN MATLAB^R

Se desarrolló en Matlab^R una herramienta de extracción y optimización del modelo de gran señal de un MESFET que se basa en mediciones DC y en frecuencia y se siguió la metodología planteada en el capítulo 2 para modelar de tres transistores MESFET, el NE71300, el NE76118 de NEC Corporation, y un CFY30 de Infineon. Se muestran los resultados para el NE71300. En Designer^R se obtuvieron las curvas DC, los parámetros S en condiciones de “pinched-off FET”, “Cold-Forward FET” y para $V_{gs} = 0$. Adicionalmente se implementó una tarjeta de prueba o “test fixture” con el fin de poder caracterizar el transistor experimentalmente. La tarjeta contiene el circuito de polarización y caracterización del transistor y cuatro tipos de terminaciones : un corto (short), un abierto (open), una línea directa (thru) y una carga (load); las cuales son usadas para calibración SOLT del instrumento [38].

El circuito de polarización usado es el siguiente :

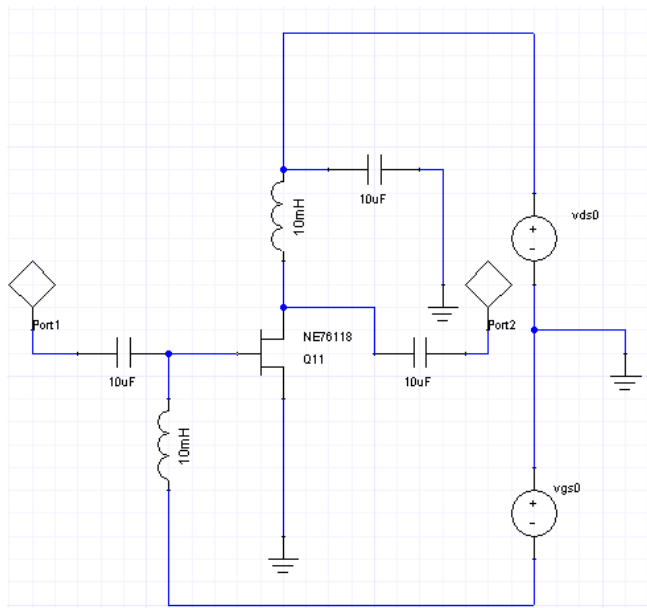


Figura 25. Circuito de polarización del MESFET. Las bobinas actúan como chokes. Se trabajó con la librería de MESFETs de Ansoft Designer^R.

Las bobinas y los condensadores deben seleccionarse de tal forma que su valor de impedancia en operación AC, muy alta para las bobinas y muy baja para los condensadores, no afecte los parámetros S del transistor.

Se muestran en la figura 26 las curvas DC obtenidas en Designer^R y las optimizadas en Matlab^R a partir de mediciones. En Fig. 27 se muestran las curvas $\sqrt{I_{ds}}$ vs V_{gs} para ver la variación del voltaje de “pinch-off”.

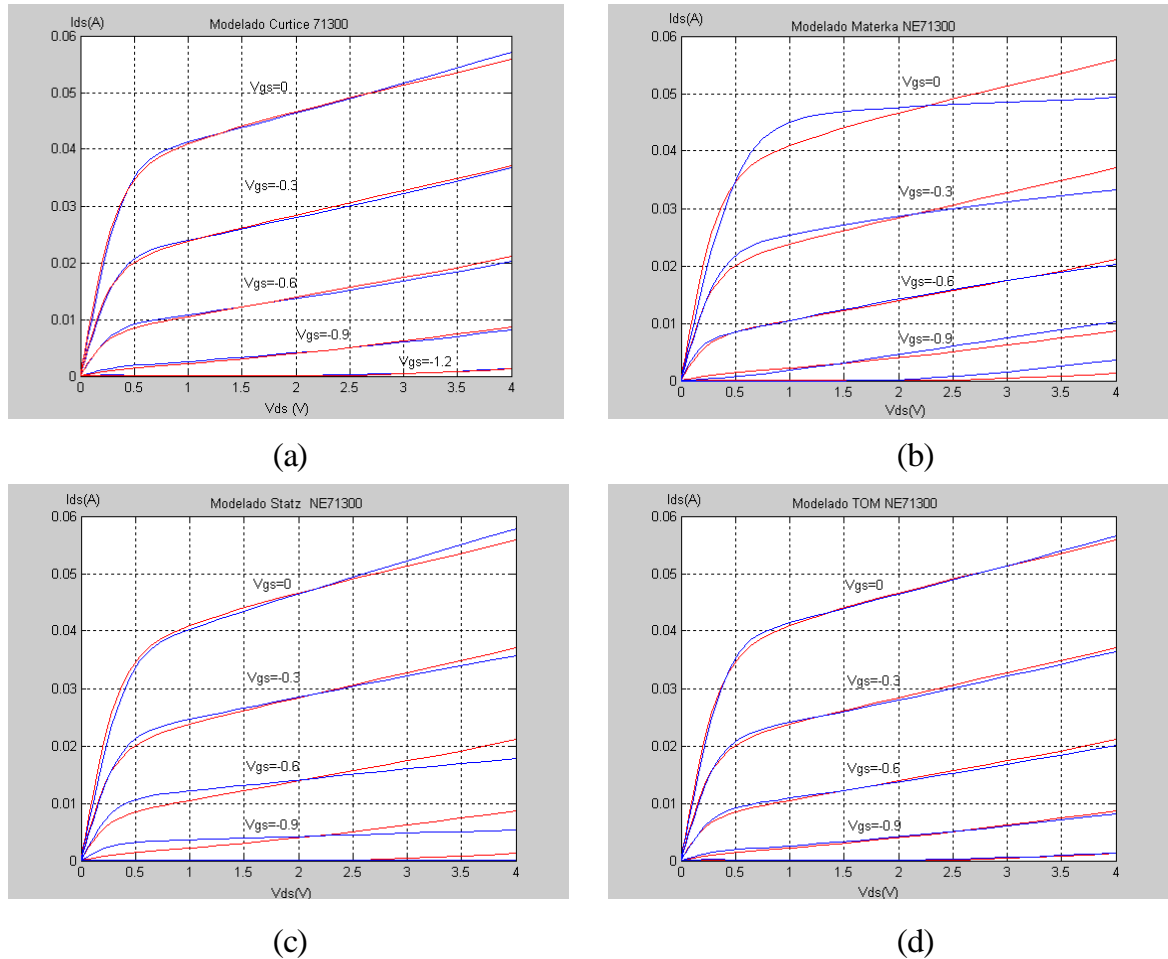


Figura 26. Curvas DC del transistor NE71300. En rojo, las simulaciones en Designer^R. En azul, las curvas obtenidas por extracción y optimización. (a) Modelado con Curtice, (b) Modelado con Materka, (c) Modelado con Statz., (d) Modelado con TOM. Variación de V_{gs} de 0 a 0.9V. Variación de V_{ds} de 0 a 4V.

Con los resultados obtenidos en Designer^R se desarrolló la extracción de parámetros para cada modelo. Estos valores se usaron como punto inicial en el proceso de optimización.

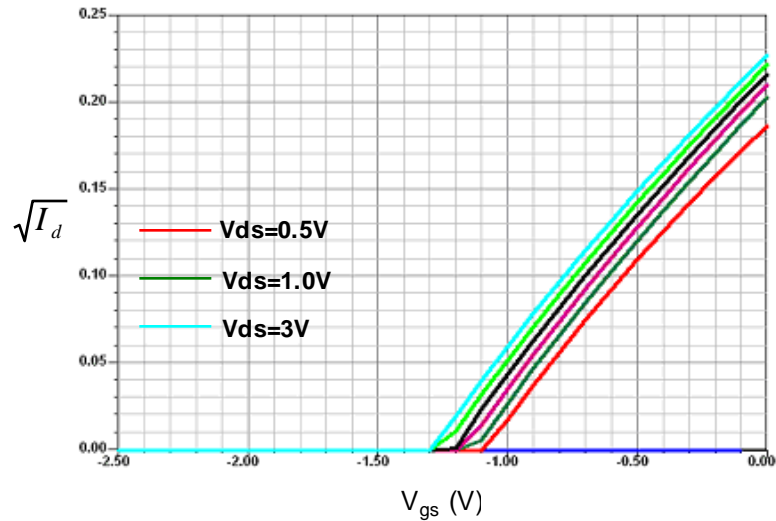


Figura 27. Variación del voltaje de “pinch-off” NE71300. Variación de V_{ds} de 0 a 3V. Se selecciona $V_{po} = -1.3V$. Variación de V_{gs} de 0 a -1.5V. Gráficas obtenidas en Designer^R

Con las características DC tabuladas se desarrolló el proceso de optimización en Matlab^R usando la función *fmincon* de minimización con restricciones.

Las curvas rojas en Fig. 26 se obtuvieron en Ansoft Designer^R y las curvas azules se obtuvieron con las ecuaciones de los modelos usando los valores óptimos. Las tablas 1, 2 y 3 muestran los resultados de modelado obtenidos para cada transistor y el error máximo obtenido.

Tabla 1. Resultados del modelado del NE71300

Parámetro	Curtice	Materka	Statz	TOM	Curtice	Materka	Statz	TOM
Valores iniciales				Valores finales				
I_{DSS} (mA)	-	56	-	-	-	57	-	-
β (A/V ²)	0.0388	-	0.0388	0.0388	0.0363	-	0.0290	0.0366
α (V ⁻¹)	4.1	2.4	4.1	4.1	4.1	2.4065	4.1	4.1
λ (V ⁻¹)	0.0037	-	0.0037	-	0.00431	-	0.0037	-
γ	-0.07	-0.15	-	-0.07	-0.0731	-0.1715	-	-0.074
δ (W ⁻¹)	-	-	-	0.05	-	-	-	0.05
V_{TO} (V)	-1.1	-1.1	-1.1	-1.1	-1.0998	-0.9291	-1.2332	-1.0997
b (V ⁻¹)	-	-	0.5	-	-	-	0.05	-
Q	-	-	-	2	-	-	-	2
R_s (Ω)	2.56	2.56	2.56	2.56	2.25	2.2465	2.25	2.25
R_d (Ω)	2.56	2.56	2.56	2.56	2.25	2.2465	2.25	2.25
ERROR					2.28%	11.82%	16%	4.7%

Tabla 2. Resultados del modelado del NE76118

Parámetro	Curtice	Materka	Statz	TOM	Curtice	Materka	Statz	TOM
Valores iniciales				Valores finales				
I_{DSS} (mA)	-	68.3	-	-	-	0.0971	-	-
β (A/V ²)	0.0404	-	0.0404	0.0404	0.0773	-	0.0604	0.0752
α (V ⁻¹)	3	2.3	3	3	3.0213	2.301	3.0038	3.0031
λ (V ⁻¹)	0.0029	-	0.0029	-	0	-	0.1168	-
γ	-0.1	-0.1	-	-0.1	-0.037	-0.0861	-	-0.0366
δ (W ⁻¹)	-	-	-	0.1	-	-	-	0.1009
V_{TO} (V)	-1.3	-1.3	-1.3	-1.3	-1.0423	-0.9506	-1.1416	-1.0574
b (V ⁻¹)	-	-	0.05	-	-	-	0.0178	-
Q	-	-	-	2	-	-	-	2
R_s (Ω)	4	4	4	4	3.9782	3.9683	3.9882	3.9903
R_d (Ω)	0.57	0.57	0.57	0.57	0.5549	0.5604	0.5639	0.562
ERROR					2%	7%	13%	4%

Tabla 3. Resultados del modelado del CFY30

Parámetro	Curtice	Materka	Statz	TOM	Curtice	Materka	Statz	TOM
Valores iniciales				Valores finales				
I_{DSS} (mA)	-	0.0482	-	-	-	0.0508	-	-
β (A/V ²)	0.0205	-	0.0205	0.0205	0.0125	-	0.0174	0.014
α (V ⁻¹)	3.9	2	3.9	3.9	4.2528	4.6614	3.9022	3.9111
λ (V ⁻¹)	0.027	-	0.027	-	0	-	0.0323	-
γ	-0.0667	-0.0667	-	-0.0667	-0.0283	-0.1139	-	-0.0261
δ (W ⁻¹)	-	-	-	0.01	-	-	-	0.0205
V_{TO} (V)	-1.5	-1.5	-1.5	-1.5	-1.8631	-1.4559	-1.8582	-1.8146
b (V ⁻¹)	-	-	0.01	-	-	-	0.1868	-
Q	-	-	-	2	-	-	-	2
R_s (Ω)	2.5	2.5	2.5	2.5	1.8781	1.925	2.5001	2.4934
R_d (Ω)	10	10	10	10	9.3426	9.296	9.9971	9.9908
ERROR					7%	5.8%	16%	7%

Se observa que los modelos TOM y Curtice se ajustan muy bien a las curvas características de los dispositivos de NEC. Mientras que los modelos de Statz y de Materka presentan errores mayores al 10%. Se concluye que los modelos TOM o Curtice son más apropiados para modelar, en este caso, los transistores NE71300 y NE76118; mientras que el transistor CFY30 es mejor modelarlo con el modelo Materka que presentó error total de 5.8% con respecto a las curvas simuladas en Designer^R.

En esta primera parte, se observa que dependiendo de las características del transistor, hay modelos que se ajustan mejor que otros. El modelo de Curtice es mejor para modelar dispositivos con bajo voltaje de pinch-off. El modelo de Statz aunque es más complicada la optimización, mejora algunas características del modelo de Curtice al tener en cuenta el perfil de dopado, sin embargo, en este trabajo no ha dado buenos resultados, quizás debido a los algoritmos de optimización utilizados. El modelo TOM mejora las características en estado de saturación, y se observó en este trabajo que, aunque la extracción es más difícil, se ajusta muy bien a los transistores estudiados, con errores menores al 5% en los transistores NEC y al 10% en el de Infineon.

Los algoritmos de optimización utilizados influyen en la extracción parámetros óptimos porque muchas veces se quedan iterando alrededor de un mínimo local y no pueden salir de éste, tal como pasa con la función *fmincon* de Matlab y el complemento Solver de EXCEL. En esta clase de problemas, en los cuales se tienen muchos mínimos locales, lo mejor sería utilizar técnicas heurísticas como Simulated Annealing, Búsqueda Tabú o Algoritmos Genéticos. Con paquetes comerciales de optimización poderosos como LINGO^R o AMPL^R, que usan algoritmos más eficientes que los usados por Matlab, se puede resolver también el problema de minimización.

La figura 28 muestra las inductancias y resistencias parásitas extraídas bajo condición de “Cold Forward FET” para un rango de frecuencias de 1 a 3GHz. Se observa que no varían con la frecuencia, algo deducible de las fórmulas planteadas en la metodología. La figura 29 ilustra las capacitancias intrínsecas y extrínsecas extraídas, así como también el tiempo de tránsito obtenido.

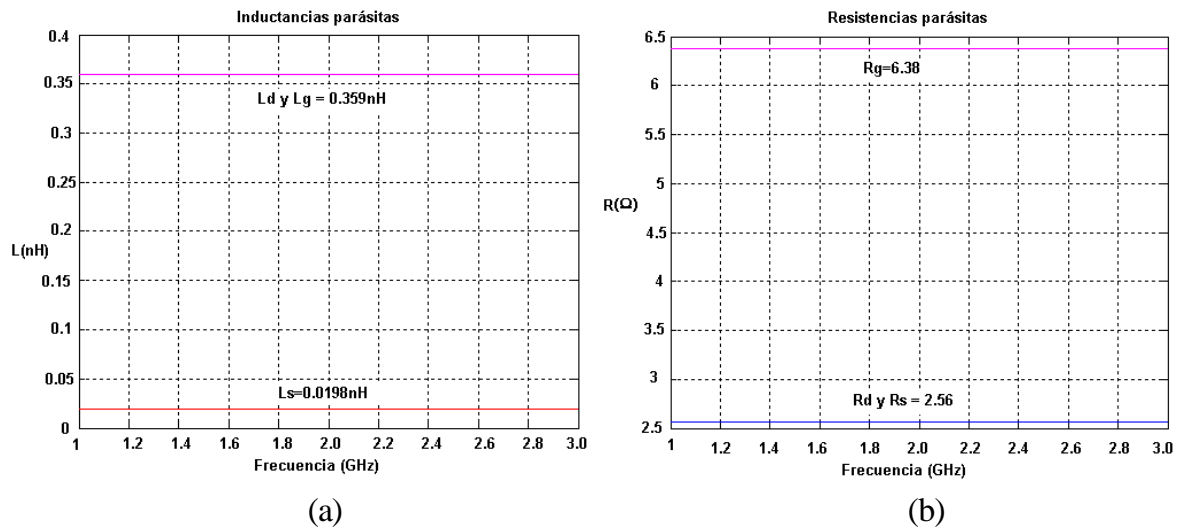


Figura 28. Inductancias y resistencias parásitas. NE71300. $F = 1$ a 3GHz. $V_{ds} = 0V$. $V_{gs} = 1V$. Condición de “Cold Forward FET”.

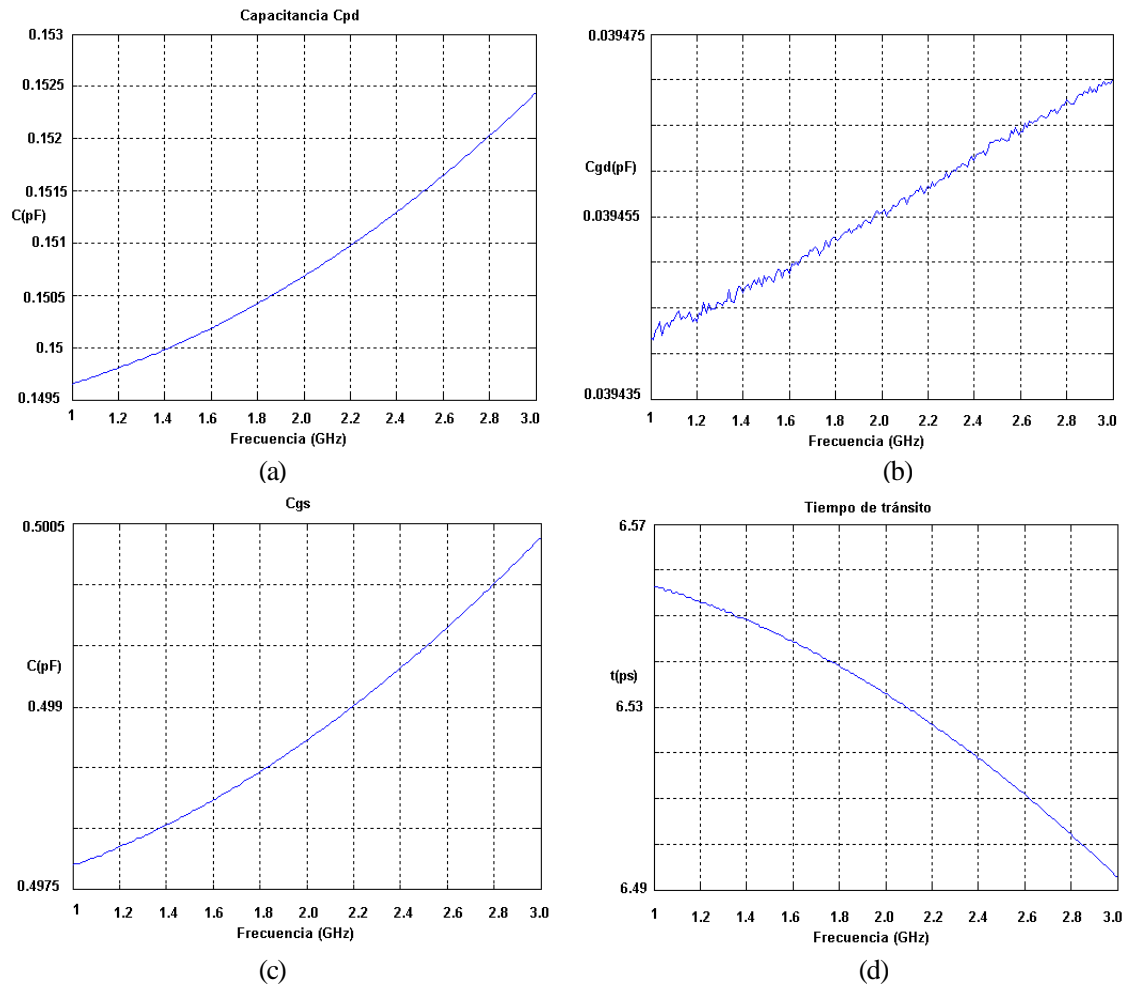


Figura 29. Capacitancias y tiempo de tránsito. (a) Capacitancia parásita de drenaje C_{pd} . Extraída bajo dos condiciones de “pinched-off FET”, $V_{gs1} = -1.5V$, $V_{gs2} = -2V$, $V_{ds} = 0$. (b) y (c) Capacitancias intrínsecas C_{gd} y C_{gs} extraídas para $V_{gs} = 0$ y $V_{ds} = 2.5V$. (d) Tiempo de tránsito τ .

Se utilizaron los valores medios de cada valor obtenido y se desarrollaron simulaciones con el modelo extraído. La tabla 4 resume los resultados.

Tabla 4. Resultados de la extracción del modelo no lineal

Parámetro	Ansoft Designer [®] (CEL LABS)	Extracción Matlab [®]
R_s (Ω)	2	2.56
R_d (Ω)	2	2.56
R_g (Ω)	6	6.38
L_s (nH)	0.02	0.0198
L_d (nH)	0.36	0.359
L_g (nH)	0.36	0.359
C_{pd} (pF)	0	0.151 pF
C_{gs} (pF)	0.5	0.499
C_{gd} (pF)	0.04	0.03946
τ (ps)	6	6.53

Los resultados obtenidos en simulación se ilustran en la gráfica 30. Las curvas en rojo corresponden a las simuladas con los parámetros extraídos, las curvas en azul se obtuvieron con la librería de Ansoft Designer^R que usa el modelo que proporciona los laboratorios CEL [39]. No se desarrolló proceso de optimización de parámetros, sin embargo, los resultados son satisfactorios con errores menores al 5% en todos los casos.

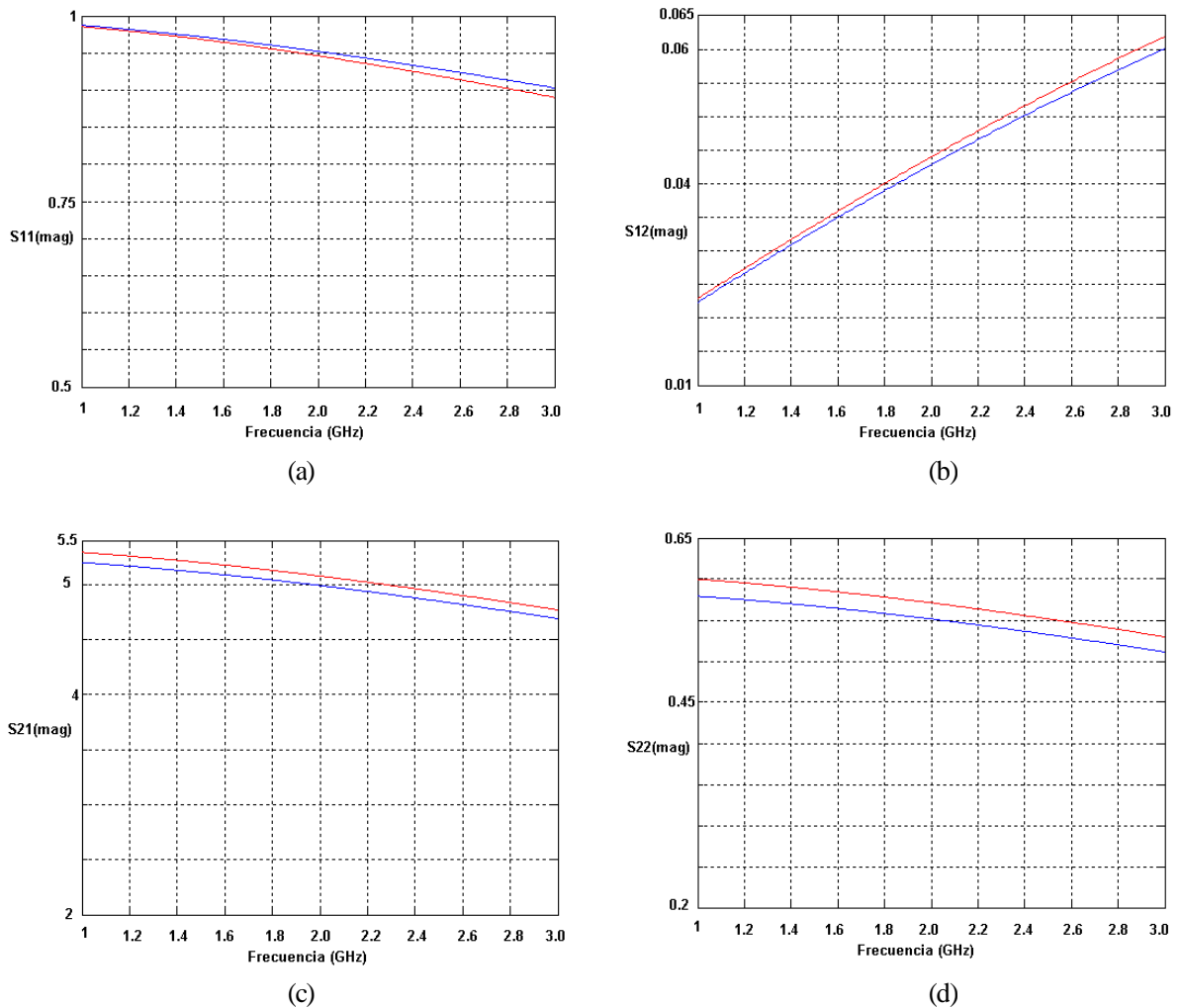


Figura 30. Comparación de resultados de la extracción. Se muestran las magnitudes de los parámetros S con $V_{gs}=0$ y $V_{ds}=2.5V$. (a) S11, (b) S12, (c) S21, (d) S22. Las curvas rojas corresponden a la simulación con los parámetros extraídos.

4.2. VALIDACIÓN DE LA METODOLOGÍA DE DISEÑO DE AMPLIFICADORES DE POTENCIA

Para ilustrar y validar la metodología planteada se diseñó un amplificador a 1.9GHz para potencia de salida de 500mW (27dBm) en el punto de compresión de 1dB, eficiencia cercana al 50% y entrada de 18dBm. Las pequeñas variaciones en frecuencias cercanas permitirán utilizar el amplificador en el rango de 1.85 a 1.95GHz. Se seleccionó el transistor NE6510179A de la empresa NECTM, capaz de proporcionar 1W a 3.5V, 200mA con máxima eficiencia de potencia de 58% y ganancia lineal cercana a 10dB; el modelo del transistor se encuentra en la referencia [40] Se asumió un voltaje de saturación de 1V para calcular la corriente pico necesaria para obtener los 500mW en la salida :

$$I_p = \frac{2P_{out,RF}}{V_{dd} - V_{sat}} = \frac{2 \times 500mW}{3.5 - 1} = 400mA \quad (89)$$

Se seleccionó el substrato GML1000-030 de GIL Tech. [41], con espesor de 30mil, constante dieléctrica de 3.2, tangente de pérdidas de 0.003 y capa de cobre de 0.675mil de espesor.

Se caracterizó electromagnéticamente en Designer^R el arreglo de vías usado para conectar el transistor al plano de tierra y se obtuvo una inductancia efectiva de 0.039nH, dentro de los límites recomendados [3]. En Fig. 31 se muestran el "footprint" recomendado para el transistor y el arreglo de vías utilizado como alternativa debido a la tecnología de fabricación.

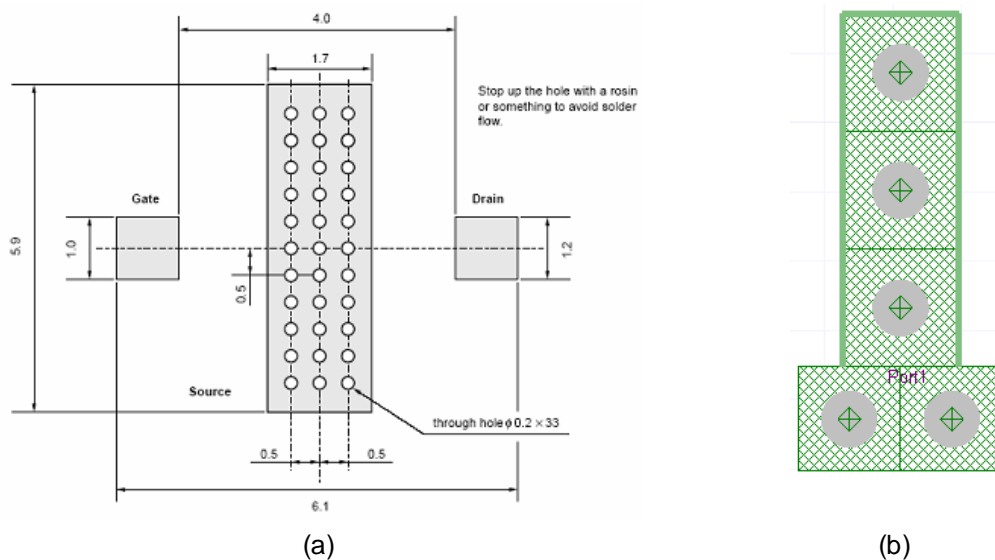


Figura 31. Vías a tierra implementadas. (a) "Footprint" recomendado del transistor. Tomado de [39]. (b). Arreglo de vías propuesto para el diseño. La inductancia efectiva es de 0.039nH

La caracterización del transistor se desarrolló en Designer^R utilizando el modelo proporcionado por los laboratorios CEL [39] mostrado en Fig. 32, y se obtuvieron los siguientes resultados :

$$S_{11} = 0.963 \angle 159.6^\circ \quad \mu = 0.968 \quad G_{\max} = 13.85 \text{ dB}$$

Donde μ es el factor de estabilidad dado por :

$$\mu = \frac{1 - |S_{22}|^2}{|S_{11} - \Delta \times S_{22}^*| + |S_{21} S_{12}|} \quad (90)$$

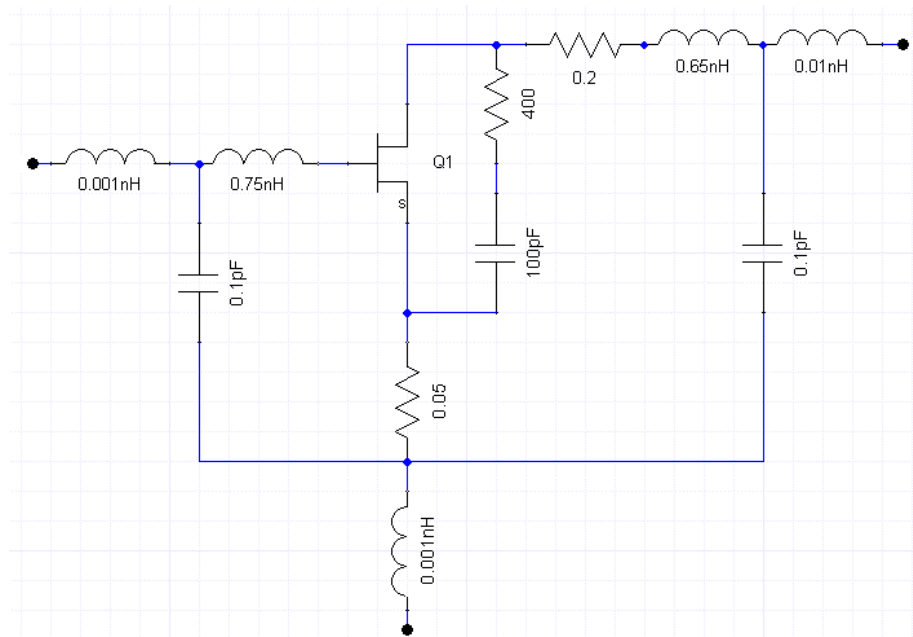


Figura 32. Modelo no lineal del NE6510379A. Las características I-V se modelan con el modelo TOM. Se muestran los componentes parásitos por el empaque y la resistencia y capacitancia de “trapping”. Tomado de [39]

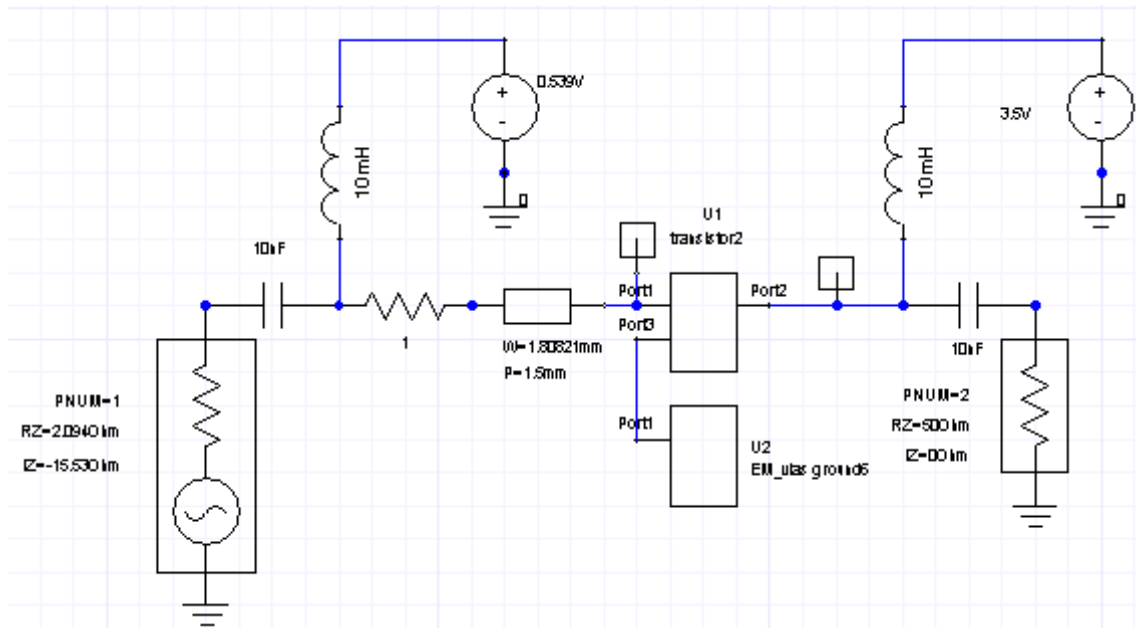
Posteriormente se estabilizó el transistor usando una resistencia de 1Ω en la entrada y se realizaron los análisis de “load pull” y balance armónico con 5 armónicos. Los resultados de la estabilización son los siguientes :

$$S_{11} = 0.926 \angle 145.43^\circ \quad Z_{IN} = 2.094 + 15.53j \ \Omega$$

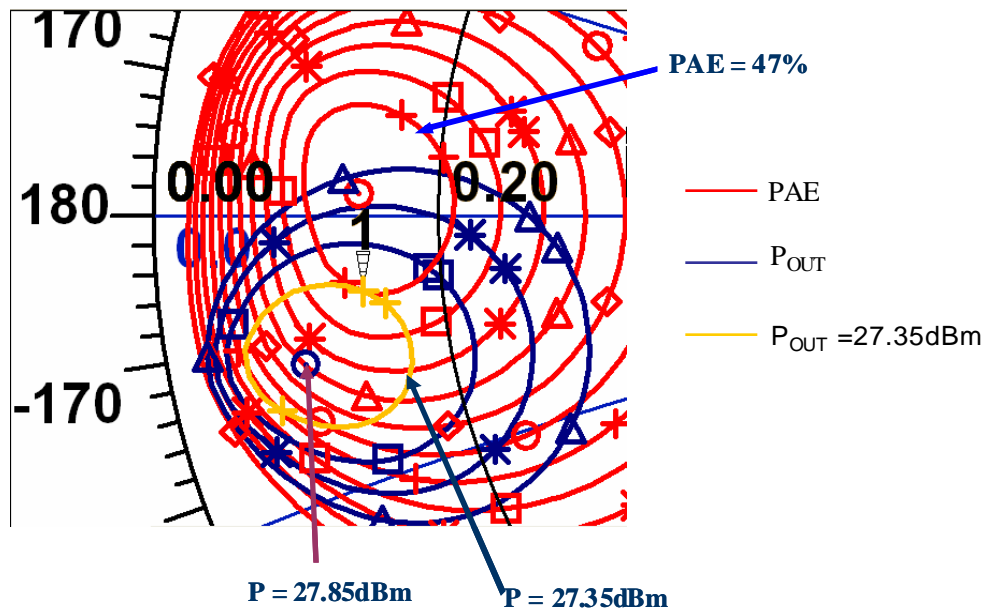
$$\mu = 1.009 \quad G_{MAX} = 12.07 \text{ dB}$$

La máxima potencia de salida obtenida es de 27.85 dBm (Fig. 33). Se seleccionó un punto de impedancia en un contorno 0.5dB menor al de máxima potencia que

se cruzara con el círculo de eficiencia de 47%. El coeficiente de reflexión de la carga obtenido es $\Gamma_L = 0.76 \angle -173.4^\circ$ y $Z_L = (6.85 - 2.85j) \Omega$.



(a)



(b)

Figura 33. Caracterización “load pull” en Designer[®]. (a) Circuito usado. La entrada está acoplada conjugadamente $Z_s = Z_{in}^* = 2.094 - 15.53j \Omega$. (b) Contornos de potencia y eficiencia obtenidos. $P_{IN} = 18\text{dBm}$, $F = 1.9\text{GHz}$, $P_{OUT_max} = 27.85\text{dBm}$, $PAE_max = 55\%$

Se realizó un análisis de “source pull” con el fin de seleccionar una impedancia de fuente más alta, lejos de los límites de estabilidad (Fig. 34). El análisis se desarrolla acoplando la salida del transistor a la impedancia de carga que debe ver obtenida en el análisis de “load pull” .

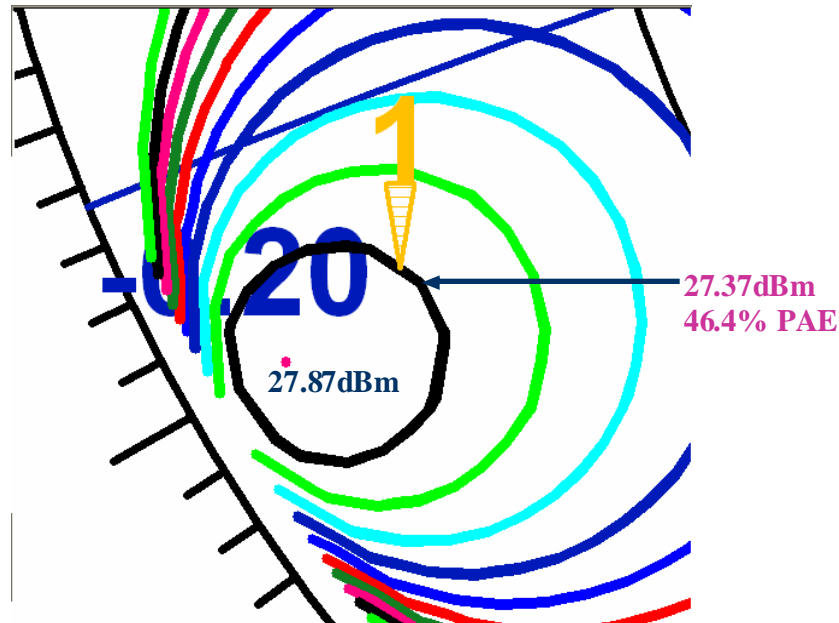
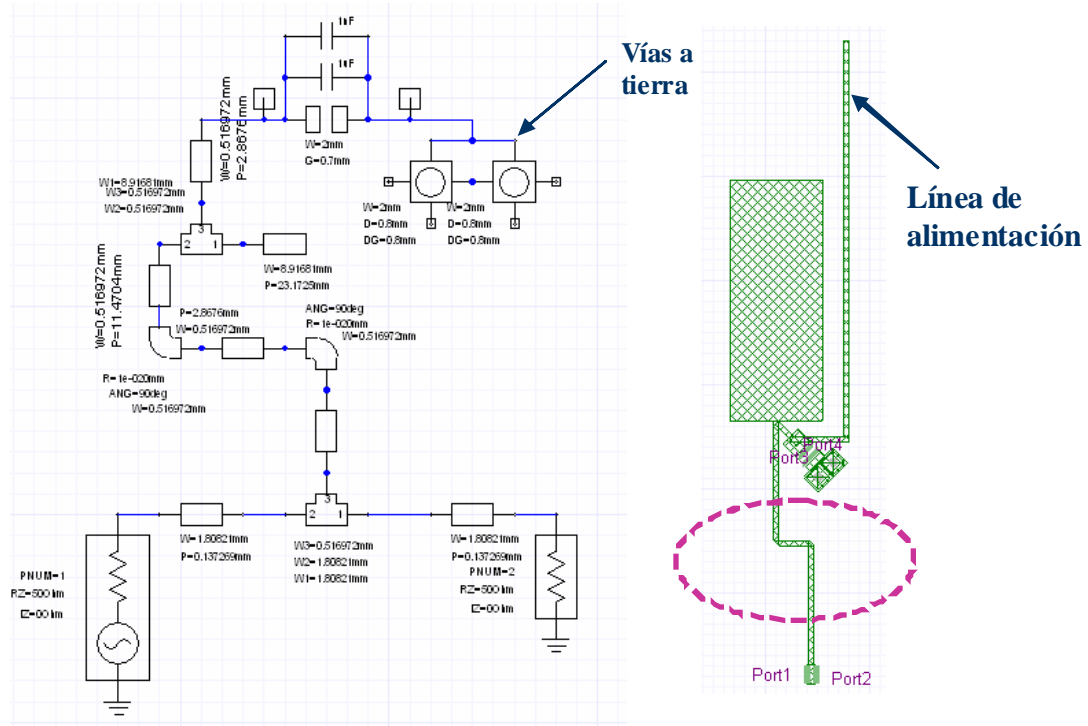


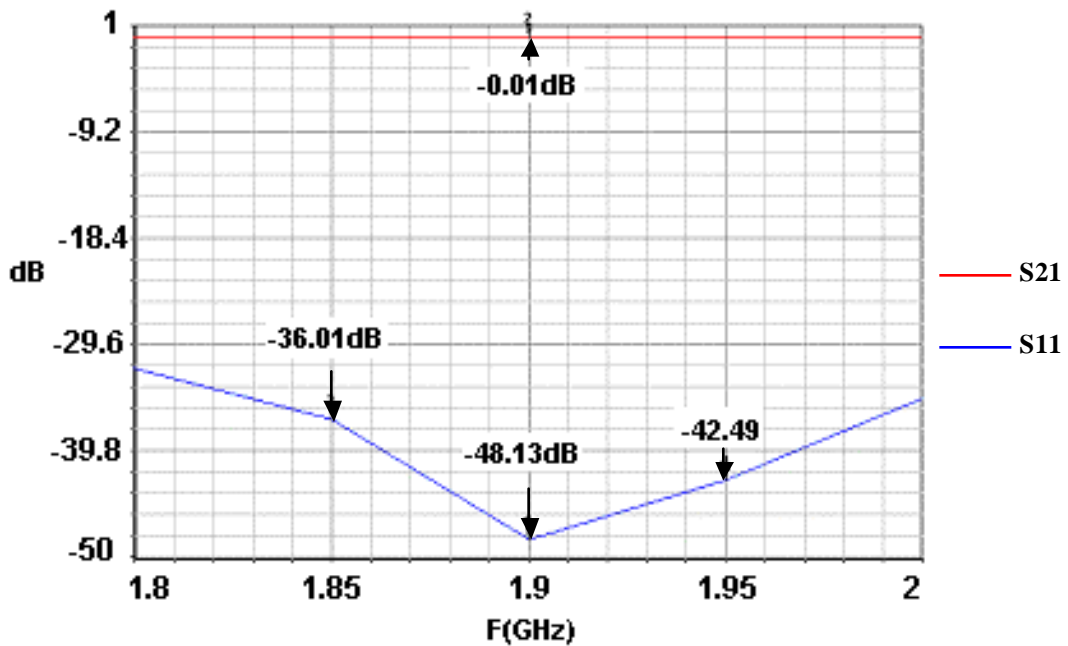
Figura 34. Resultados del Análisis de “source pull”. La selección de una impedancia que aleje al amplificador de los límites de estabilidad provoca un aumento leve en potencia y disminución de eficiencia. Punto 1 : $\Gamma_S = 0.86 \angle -150.86^\circ$.

En Fig. 34, la potencia máxima de salida es de 27.87dBm. Se seleccionó un punto en el contorno de 27.4dB para 46.4% de eficiencia. El Γ_S escogido es de $0.86 \angle -150.86^\circ$, mostrado en Fig. 34. La impedancia de fuente que el transistor debe ver es de $Z_S = (05-12.9j)\Omega$.

Posteriormente se diseñaron y optimizaron las Tees de polarización para obtener valores de coeficiente de reflexión lo más cercano a 0, y de coeficiente de transmisión lo más cercano a 1. La optimización se hizo variando las longitudes de las líneas de transmisión con el fin de obtener el comportamiento deseado en el rango de frecuencias de diseño. Finalmente se obtuvo -48dB de coeficiente de reflexión y -0.01dB de coeficiente de transmisión a 1.9GHz, lo cual indica que las redes de polarización generan un buen aislamiento de las señales RF y DC. Adicionalmente, se agregó una resistencia de 20 ohmios a la red de polarización de compuerta para lograr estabilizarla en operación a baja frecuencia [3]. En Fig. 35 se ilustran la Tee de polarización y su caracterización electromagnética.



(a)



(b)

Figura 35. Tee de polarización implementada. (a) Esquemático y “layout” de la Tee. Se ilustran las vías a tierra y la línea de alimentación. (b) Caracterización electromagnética. S₂₁ cercano a 1 y S₁₁ cercano a 0.

El siguiente paso es el diseño y optimización de las redes de acoples. La optimización fue necesaria debido a que por las pérdidas producidas las redes no garantizaron las impedancias de carga y fuente óptimas para el transistor. La red de acople de la entrada se diseñó usando un transformador de $\lambda/4$ y una red pasabalas en L; el transformador también sirve como línea de acceso al puerto de entrada. La red de acople de salida solo usa un acople en L junto con las líneas de acceso al puerto de salida. En la optimización se variaron el ancho de línea del transformador $\lambda/4$ y las longitudes de las líneas de las redes de acople hasta lograr las impedancias deseadas en carga y fuente. En Fig. 36 se ilustra la red de acople de entrada.

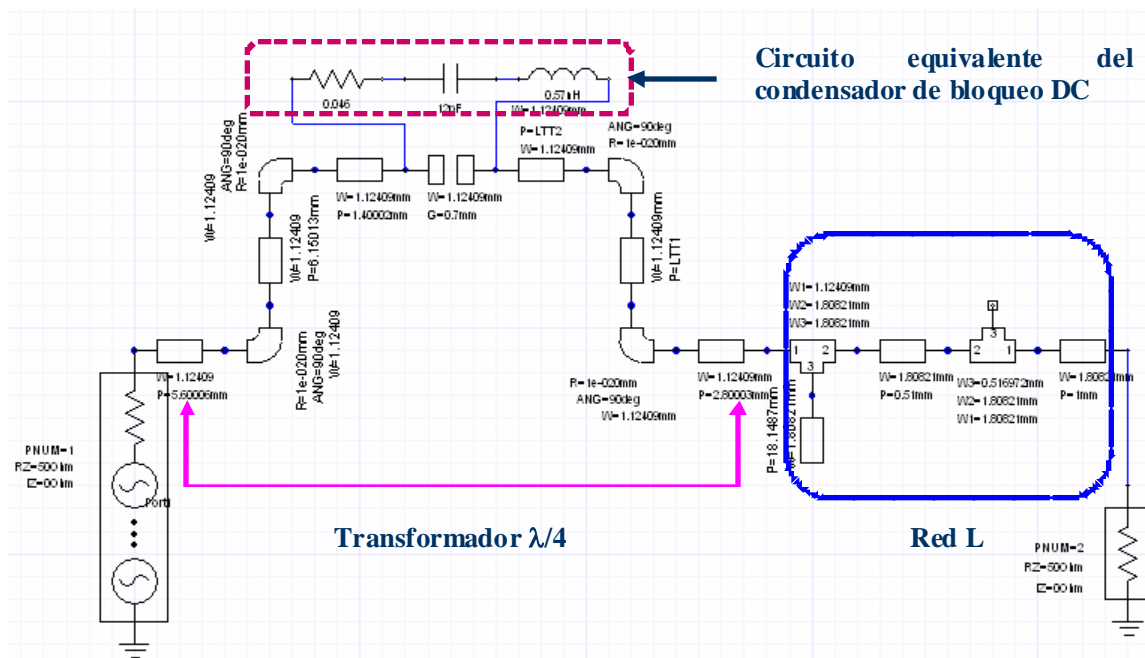


Figura 36. Red de acople de entrada. Se ilustran el transformador $\lambda/4$, la red L de acople y el circuito equivalente del condensador Murata^R de bloqueo DC de 12pF.

Finalmente se caracterizó el amplificador completo. Los resultados obtenidos no fueron los deseados, debido a pérdidas producidas en las líneas, por lo tanto se hizo una optimización global de las redes de acople con el fin de garantizar la potencia de salida, eficiencia y ganancia deseadas.

La figura 37 muestra la curva de potencia de salida obtenida. Se observan las diferencias entre las simulaciones circuital y electromagnética, debidas a las consideraciones del comportamiento electromagnético de las estructuras pasivas. Las potencias de salida guardan relación lineal con la potencia de entrada hasta acercarse a los puntos de compresión de 1dB A y B, a partir de los cuales decaen hasta que las potencias alcanzan un máximo en 32dBm y 31 dBm respectivamente.

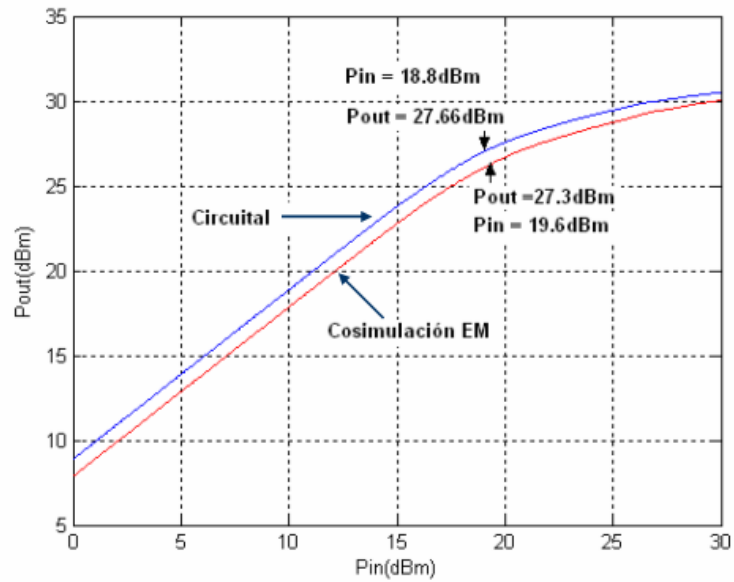


Figura 37. Curva de potencia obtenida. En línea azul la simulación circuital. Las diferencias entre la simulación circuital y la electromagnética son debidas a interacciones electromagnéticas en las líneas de transmisión.

El “layout” del amplificador diseñado se muestra en Fig. 38. Se detallan las redes de acople, el transformador $\lambda/4$, las líneas de acceso al puerto de salida, las Tees de polarización junto con los espacios o “gaps” para los condensadores de bypass de la fuente DC. También se detalla el espacio de las resistencias de estabilización de 1Ω y 20Ω .

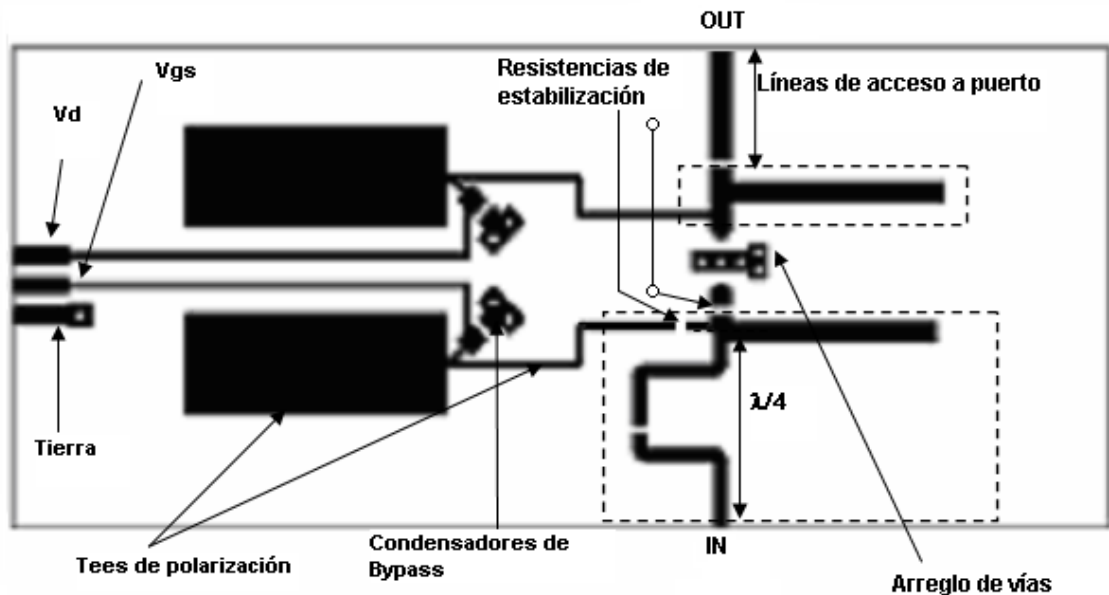


Figura 38. “Layout” del amplificador diseñado. Se detallan los espacios para las resistencias de estabilización en la red de polarización de compuerta y en la entrada del transistor.

La ganancia lineal, en Fig. 39, es de 9.85dB y disminuye a medida que se acerca al punto de 1dB, en 18.8dBm de potencia de entrada, hasta ser casi cero. Este comportamiento se debe a la saturación del transistor y la variación de los parámetros S con la potencia de entrada [1]. La ganancia obtenida en cosimulación electromagnética difiere en 1.14dB debido a interacciones electromagnéticas.

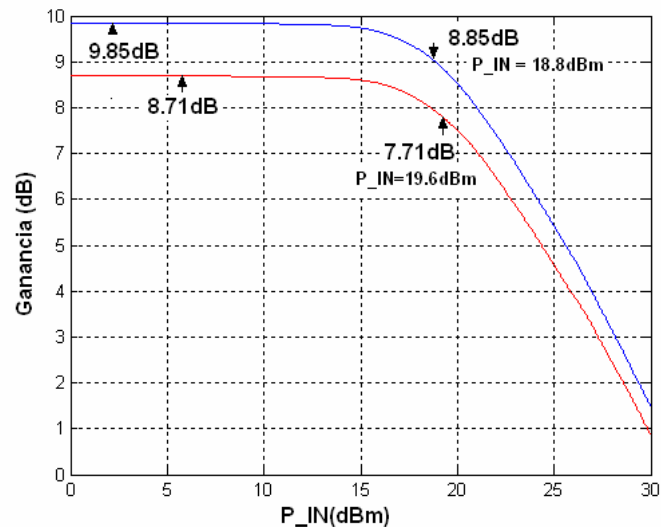


Figura 39. Curva de ganancia del transductor. La cosimulación electromagnética difiere 1.14 dB con respecto a la simulación circuital.

En la figura 40 se ilustran las curvas de eficiencia de potencia agregada y de relación de distorsión armónica. Se observa un máximo de 51% alcanzado en la cosimulación electromagnética y un máximo de 49% para la simulación circuital. La eficiencia en el punto de compresión de 1dB para ambas simulaciones es de 42%, lo cual indica que el amplificador diseñado cumple moderadamente las expectativas de diseño.

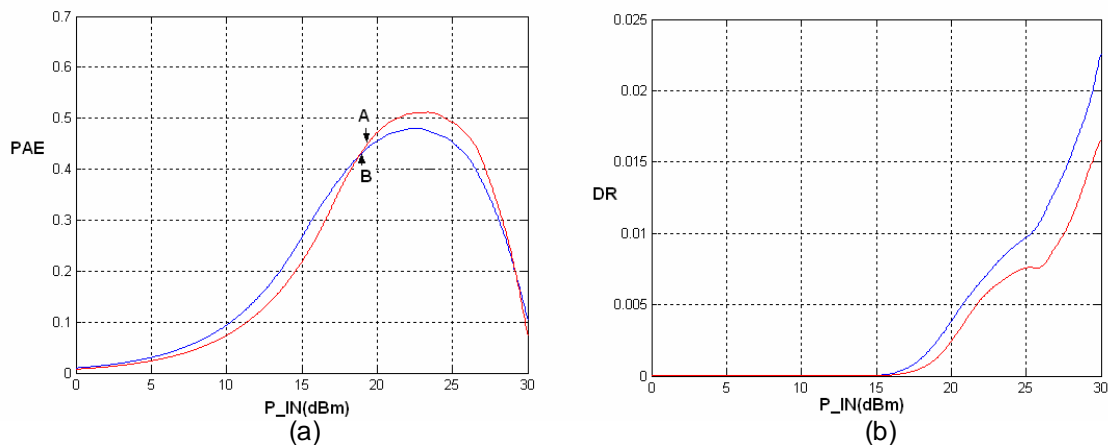


Figura 40. Eficiencia y distorsión. (a) Eficiencia de potencia agregada. Punto A: 42%, Punto B: 51%. (b) Relación de distorsión armónica, menor que 0.05 en todos los casos. Las líneas rojas ilustran la cosimulación electromagnética.

La eficiencia de potencia agregada es mayor a valores grandes de potencia de entrada, lo cual hace que por lo general un amplificador se use en un punto de operación cercano al punto de compresión de 1dB en el cual se satisfaga la linealidad. De otra parte, la distorsión armónica obtenida, debida a la amplificación de un tono, fue menor a 0.05 en toda la operación del amplificador, lo cual demuestra la linealidad del amplificador, ya que es menor del límite recomendado por la literatura [4].

En el siguiente paso, se seleccionaron tonos de 1.89 y 1.91GHz para desarrollar el análisis de distorsión de intermodulación. La figura 41 ilustra el espectro de potencia obtenido, en el cual se muestran los dos tonos y los dos productos de intermodulación en $F = 2F_1 - F_2 = 1.87\text{GHz}$ y $F = 2F_2 - F_1 = 1.93\text{GHz}$. Se observa que en el peor de los casos, en $F=1.93\text{GHz}$, la distorsión de intermodulación es de 6.91dB, y con respecto a la portadora en $F=1.91\text{GHz}$ tiene supresión de 17.61 dBc, mayor que los 15 dBc recomendados por la literatura [4], lo que demuestra que la linealidad del amplificador es razonable.

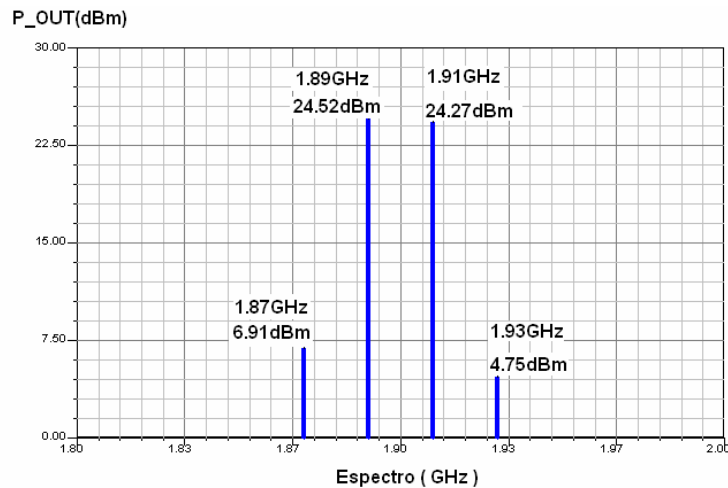
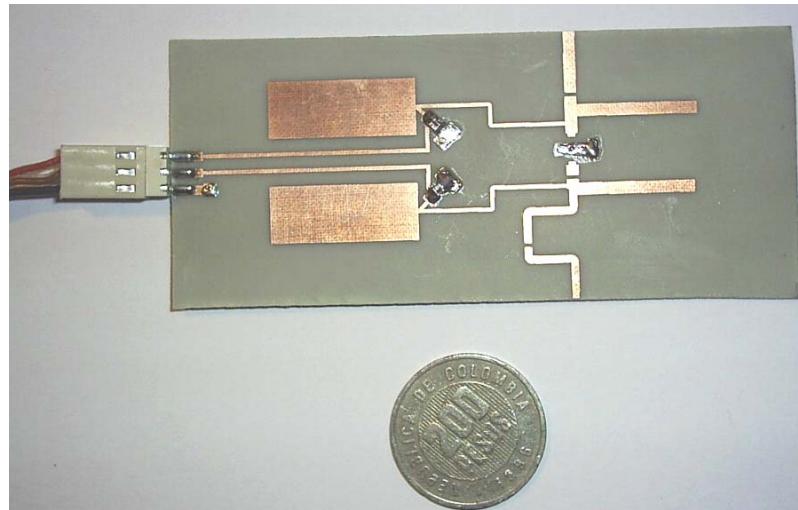
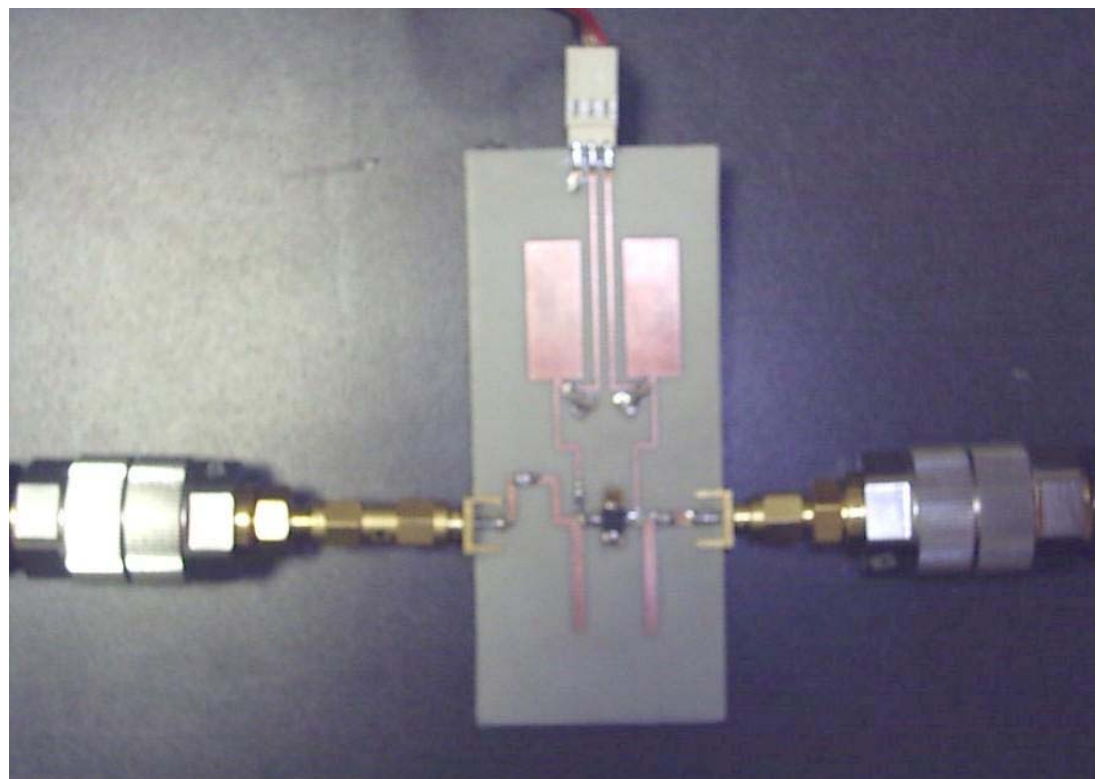


Figura 41. Distorsión IM3. Supresión de IM3 de 17.61dBc

Finalmente se implementó el amplificador diseñado en tecnología microcinta. Se caracterizó en el laboratorio y se obtuvieron los parámetros S_{21} y S_{11} , así como también la ganancia de potencia. En la figura 42 se observa el circuito implementado. Se ilustran los espacios para los condensadores de bloqueo DC y de bypass, las resistencias de estabilización y el transistor. Se propuso un sistema de caracterización que consiste de un pre-amplificador, potencialmente inestable, con ganancia cercana a 10dB y un atenuador de 20 dB (Fig. 43).

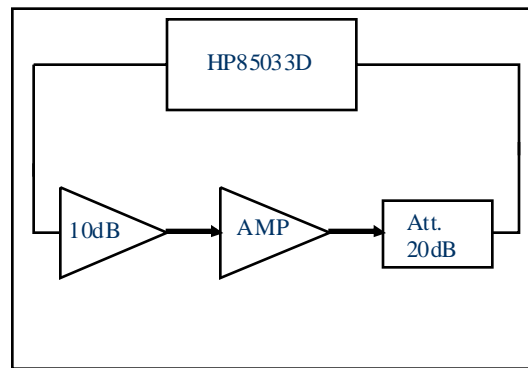


(a)

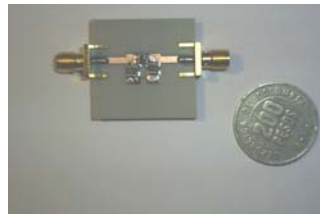


(b)

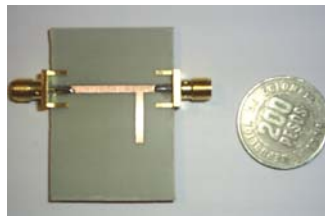
Figura 42. Amplificador incondicionalmente estable. (a) PCB ilustrando los “gaps”, (b) Caracterización con el equipo de laboratorio. Se usaron conectores SMA para los puertos de acceso.



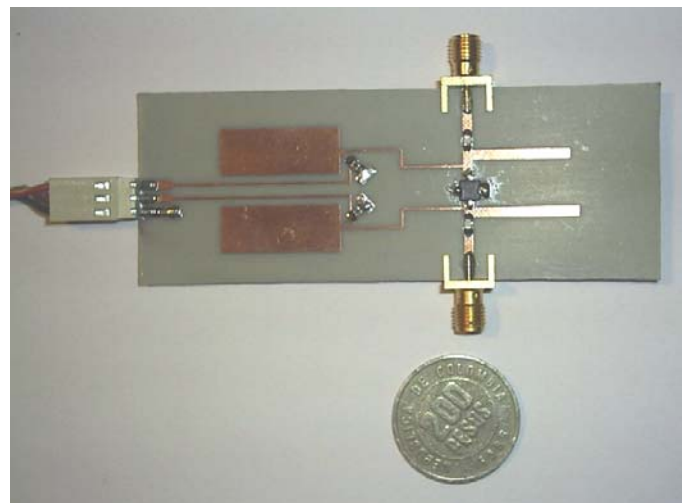
(a)



(b)



(c)



(d)

Figura 43. Sistema propuesto para caracterización. (a) Esquema general, (b) Atenuador 20dB, (c) Red de acople inter-etapas, (d) Pre-amplificador 10dB

En Fig. 44 se muestran los resultados experimentales obtenidos de los parámetros S_{21} y S_{11} comparados con los obtenidos en simulación para el amplificador incondicionalmente estable.

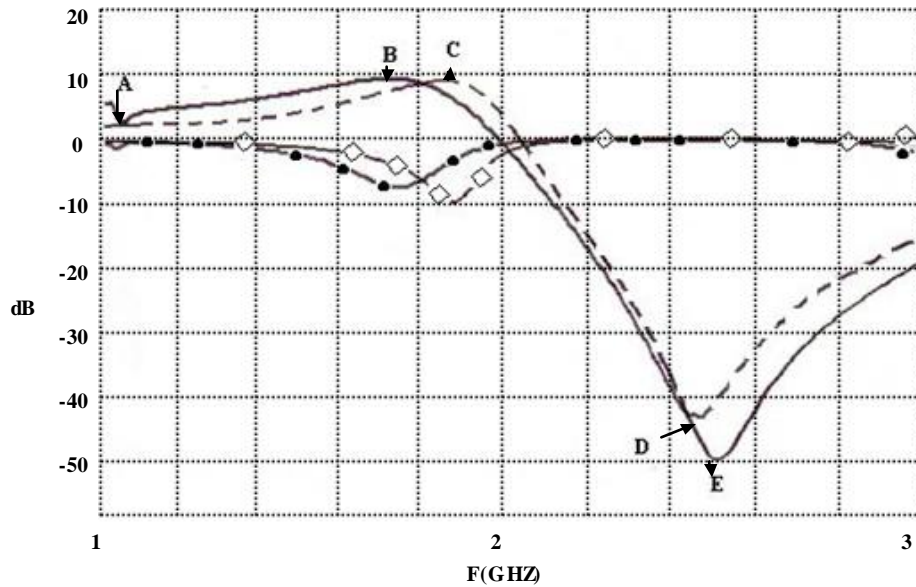


Figura 44. Resultados experimentales y simulados. - S₂₁ experimental. - S₂₁ simulado. • S₁₁ experimental. ◊ S₁₁ simulado. A(1.04GHz, 2.04dB), B(1.72GHz, 8.92dB), C(1.84GHz, 8.84dB), D(2.46GHz, -44.46dB), E(2.5GHz, -49dB).

La frecuencia central se modificó a 1.84GHz en simulación y 1.72GHz en el resultado experimental, obteniéndose ganancias de potencia de 7.8dB en 1.8GHz y 4.5dB en 1.9GHz. Se observa en la gráfica diferencias en frecuencia de los puntos D y E en los cuales están los mínimos. Este corrimiento en frecuencia puede ser debido a imprecisiones del proceso de fabricación de la estructura pasiva y de las vías a tierra, por lo cual es recomendable dedicar un mayor esfuerzo al problema de fabricación de las vías. Por último, en Fig. 45 se muestran los resultados obtenidos para el atenuador y el pre-amplificador; en Fig. 45(a) se observa que la frecuencia central se modificó a 1.8GHz.

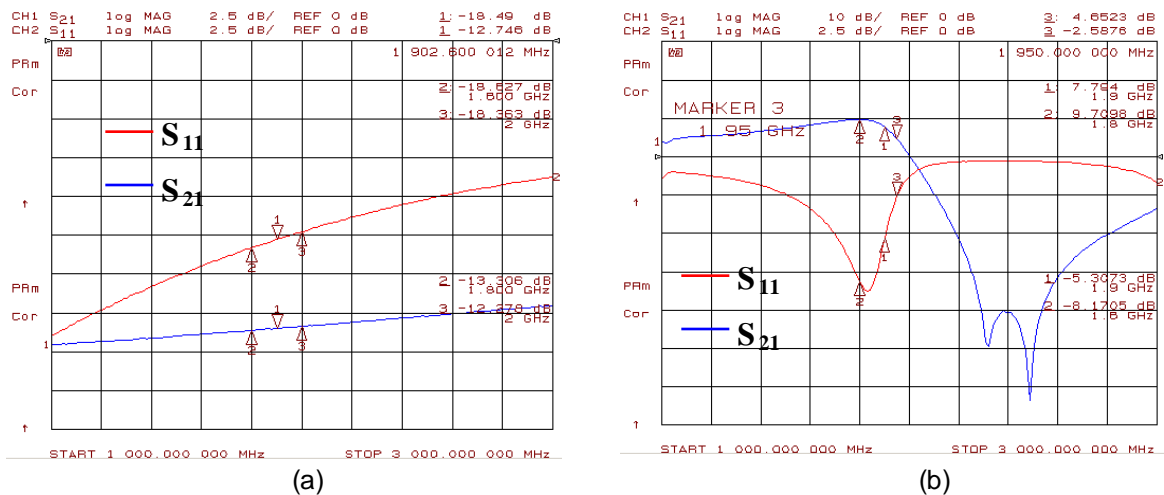


Figura 45. Caracterizaciones en el laboratorio. (a) Atenuador, para 1.9GHz la atenuación es de 18.46dB. (b) Pre-amplificador, S₂₁(1.8GHz) = 9.70dB, S₂₁(1.9GHz) = 7.794dB.

CONCLUSIONES

La aplicación al modelado de diversos transistores MESFET de la herramienta de extracción y optimización de parámetros del modelo no lineal desarrollada en Matlab^R, producto del trabajo inicial, concluyó que los modelos TOM y Curtice representaron con mayor precisión las características de transferencia, aunque para otros transistores pueden ajustarse con mejor precisión los modelos Statzy Materka, dependiendo de las características de las curvas DC. Esta herramienta permitió obtener, a través de mediciones, los parámetros del circuito equivalente no lineal a través de una metodología sistemática de extracción, lo cual sirvió para demostrar que la metodología planteada es válida y genera errores menores a 5% sin optimizar los resultados.

La metodología de extracción planteada reúne los métodos que mejor han funcionado para extraer los componentes del circuito no lineal del MESFET. Esta se basó en una investigación rigurosa y en ensayos de los diferentes métodos expuestos por diversos autores. La herramienta permite trabajar sobre datos experimentales obtenidas bajo mediciones especiales, tales como “Cold-Forward FET” y “Pinched-off FET”, procedimientos que si se desarrollan adecuadamente no introducen daños al MESFET.

Por otra parte, el estudio de los métodos de simulación de circuitos no lineales permitió seleccionar la simulación por balance armónico para implementar la metodología de diseño. De igual manera, la investigación de las diversas técnicas de diseño de amplificadores de potencia permitió seleccionar la teoría de “load pull” para caracterizar el transistor y obtener las impedancias óptimas.

El amplificador diseñado para ilustrar la metodología planteada muestra excelente desempeño, con eficiencia de potencia agregada de 42% en el punto de compresión de 1dB, algo común en la clase AB [4], y ganancia cercana a los 10 dB que especifica el fabricante. Adicionalmente, los resultados obtenidos en linealidad son excelentes, mejor de lo aconsejado por la literatura. Aunque en los resultados experimentales la frecuencia de trabajo se modifica cerca de 100MHz debido a problemas con el proceso de fabricación y las vías a tierra, se concluye que la metodología de diseño e implementación es adecuada para diseñar este tipo de amplificadores. Se desarrollaron pruebas a la tarjeta “test-fixture” que permiten tener las bases para la caracterización completa del transistor, ya que se hicieron mediciones de las características de transferencia y de los parámetros S, aunque no se muestran los resultados.

Debido a la frecuencia de operación alrededor de 1.9GHz, el tamaño del amplificador, el grosor y longitud de las líneas de transmisión y el arreglo de vías a tierra, fue necesario realizar una cosimulación electromagnética de las estructuras

pasivas y activas, con el fin tener en cuenta el modelo electromagnético de las líneas y las interacciones entre campos cercanos para validar mejor la metodología de diseño propuesta.

Se demostró que el diseño de amplificadores de potencia, aplicado en este caso a amplificadores lineales del tipo "single ended", sigue un proceso iterativo de diseño en el cual cada paso es crucial para obtener excelentes resultados. De igual forma, el estudio demostró que es necesario tener un conocimiento amplio del problema del modelado no lineal y de las técnicas de diseño de amplificadores. Se concluye que la metodología es fácil de desarrollar en simuladores comerciales de microondas que incorporen simulación electromagnética planar, tales como Ansoft DesignerTM, ADS^R y Microwave Office^R.

Este trabajo puede ser ampliado hacia el diseño con transistores MESFET o LDMOS de amplificadores de mayor eficiencia, como los clase E, D y F y arquitecturas que combinan dos o más etapas simples como el amplificador Doherty.

BIBLIOGRAFÍA

- [1] F. Raab, P. Asbeck,, S. Cripps, et al. "Power amplifiers and transmitters for RF and Microwave". IEEE Trans. Microwave Theory Tech. Vol 50 No. 3. March. 2002.
- [2] F. Schwierz, J. J. Liou, Modern Microwave Transistors, New Jersey Wiley. 2003
- [3] R. Gilmore, L. Besser. Practical RF Circuit Design for Modern Wireless Systems. Vols. I y II. Artech House. Boston. 2003
- [4] S. Cripps. "RF Power Amplifiers for Wireless Communications". Artech House. 1999.
- [5] Gilmore, R. J., "Nonlinear Circuit Design Using the Modified Harmonic Balance Algorithm," IEEE Trans. on Microwave Theory and Techniques, Vol. MTT-34, No. 12, December 1986.
- [6] Maas, S., Nonlinear Microwave Circuits, New York: IEEE press, 1997
- [7] M. Iwamoto, A. Williams, et al. "An extender Doherty amplifier with high efficiency over a Wide power range". IEEE Trans. Microwave Theory Tech. Vol 49 No. 12 Dec. 2001.
- [8] R. Ludwig, P. Bretchko. "RF Circuit Design, Theory and Applications". Prentice Hall. 2000.
- [9] M. Reiser, "A two-dimensional FET model for de, ac and large signal analysis: IEEE Trans. Electron Devices, vol. ED-20, pp. 35–45, Jan. 1973.
- [10] J. Barnes, R. J. Lo- and G. L Hadda "Finite-element simulation of GaAs MESFET'S with lateral doping profiles and submicron gates," IEEE Trans. Electron Devices, vol. ED-23, pp. 1042-1048, Sept. 1976.
- [11] T. Wada and S. Frey, "Physical basis of short-channel MESFET operator: IEEE Tram Electron Devices, vol. ED-26, pp. 476-490, Apr. 1979. A. Madjar and F. J. Rosenbaq.
- [12] a. Madjar, F.J. Rosenmabum, "A large signal model for the GaAs Mesfet", *IEEE Trans. Microwave Theory Tech.*, vol. 29, pp. 781–788, Aug. 1981.
- [13] A. Gebennikov. "RF and Microwave Power Amplifier Design". McGraw Hill. 2005.
- [14] W.R. Curtice, " A MESFET model for use in the design of GaAs integrated circuits", IEEE Trans. Microwave Theory Tech. Vol. MTT-28, pp. 448-456, May 1980.
- [15] T. Kacprza, A. Materka., " Compact dc model GaAs FET's for large-signal computer calculation", IEEE. Journal. Solid State Circuits, vol. SC-18, no. 2, April. 1983.
- [16] H. Statz, R. A. Pucel, and H. A. Haus, " GaAs FET device and circuit simulation in SPICE", IEEE. Trans. Electron Devices, vol. ED-34, no. 2, pp. 160-169, Feb. 1987.

- [17] Angus J. McCamant, Gary D. McCormack, David H. Smith. "An improved GaAs MESFET model for SPICE", *IEEE Trans. Microwave Theory Tech.* Vol. MTT-38, pp. 822-824., July 1990.
- [18] J. Rodriguez Tellez, K. A. Mezher, O.M. Conde Portilla, J.C. Luengo Patrocinio "A new highly accurate microwave nonlinear MESFET model" *Microwave journal.* vol. 36, No. 5, pp. 280–285, May. 1993.
- [19] N. Matsunaga, M. Yamamoto, Y. Hatta, H. Masuda, "An Improved GaAs Device Model for the Simulation of Analog Integrated Circuit", *IEEE Trans. Electron Devices*, vol. 50, No. 5, May. 2003.
- [20] I. Angelov, H. Zirath, N. Rorsman, "A new empirical nonlinear model for HEMT and MESFET devices", *IEEE Trans. Microwave Theory Tech.*, vol. 40, No. 12, Dec. 1992.
- [21] R. Van Tuyl and C. A. Liechti, "Galium arsenide digital integrated circuits", Air Force Avionics Lab., AFSC, WFAFB, Tech. Rept. AFALTR-74-40, Mar. 1974
- [22] T. Taki, "Approximation of junction field-effect transistor characteristics by a hyperbolic function; *IEEE J. Solid-State Circuits*, vol. sc-13, pp. 724–726, Oct. 1978.
- [23] T. Kacprza, A. Materka., " Computer calculation of large signal GaAs FET amplifier characteristics", *IEEE, Trans. Microwave Theory Tech.*, vol. 33, Feb. 1985.
- [24] G. Dambrine, A. Cappy, F. Heliodore, and E. Playez, "A new method for determining the FET small-signal equivalent circuit," *IEEE Trans. Microwave Theory Tech.*, vol. 36, pp. 1151–1159, July 1988.
- [25] M. Berroth and R. Bosch, "High-Frequency Equivalent Circuit of GaAs FET's for Large-Signal Applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 39, No. 2, pp. 224-229, Feb. 1991.
- [26] Hiroshi Kondoh, "An Accurate FET Modelling from Measured S-Parameters," *IEEE MTT-S International Microwave Symposium Digest*, pp. 377-380, June 1986.
- [27] W. R. Curtice and R. L. Camisa, "Self-Consistent GaAs FET Models for Amplifier Design and Device Diagnostics," *IEEE Transactions on Microwave Theory and Techniques*, Vol. MTT-32, No. 12, pp. 1573-1578, Dec. 1984.
- [28] Andrew D. Patterson et al., "A Systematic Optimization Strategy For Microwave Device Modelling," *IEEE Transactions on Microwave Theory and Techniques*, Vol. 41, No. 3, pp. 395-405, March 1993.
- [29] C. Van Niekerk and P. Meyer, "A New Approach for the Extraction of an FET Equivalent Circuit from Measured S Parameters," *Microwave and Optical Technology Letters*, Vol. 11, No. 5, pp. 281-284, April 5, 1996.
- [30] J. Kim, B. Kim, S. Nam, " A new method for the determination of the extrinsic resistances of MESFETs and HEMTs from the measured S-Parameters under active bias", *IEICE Trans. Electron*, Vol. E85-C, No. 3 March 2002.
- [31] B. Ooi, J.Y. Ma, "Consistent and reliable MESFET parasitic capacitance extraction method", *IEE Proc.-Microw. Antennas Propag.*, Vol. 151, No. 1, February 2004.

- [32] Paul M. White, Richard M. Healy "Improved Equivalent Circuit for Determination of MESFET and HEMT Parasitic Capacitances from "Coldfet" Measurements", IEEE Microwave and Guided Wave Letters, vol. 3, no.12, Dec. 1993
- [33] B. Ooi et al., "A Novel Approach for Determining the GaAs MESFET Small-Signal Equivalent-Circuit Elements," IEEE Transactions on Microwave Theory and Techniques, Vol. 45, No. 12, pp. 2084-2088, Dec. 1997.
- [34] S. Yanagawa, H. Ishihara, M. Ohtomo, "Analytical Method for Determining Equivalent Circuit Parameters of GaAs FET's", IEEE Transactions on Microwave Theory and Techniques, Vol. 44, No. 10, Oct. 1997.
- [35] M. Berroth, R. Bosch., "Broad Band Determination of the FET Small Signal Equivalent Circuit", IEEE Trans. Microwave Theory Tech., vol. 38, no. 7, July. 1990.
- [36] D. Swanson. "Grounding Microstrip Lines with Via Holes". IEEE Trans. Microwave Theory Tech. Vol 40 No. 18 Aug. 1992.
- [37] M. L. Edwards, S. Cheng, J. H. Sinsky. "A Deterministic Approach for Designing Conditionally Stable Amplifiers". IEEE Trans. Microwave Theory Tech. Vol 43 No. 7 Jul. 1995
- [38] Agilent Application Note AN-1287-9. "In Fixture Measurements using Vector Network Analyzers"
- [39] CEL Labs. NE71300 Datasheet.
- [40] CEL Labs. NE6510179A Datasheet.
- [41] GIL Tech. GML-1000-030 Datasheet